



ČVUT

ČESKÉ VYSOKÉ
UČENÍ TECHNICKÉ
V PRAZE

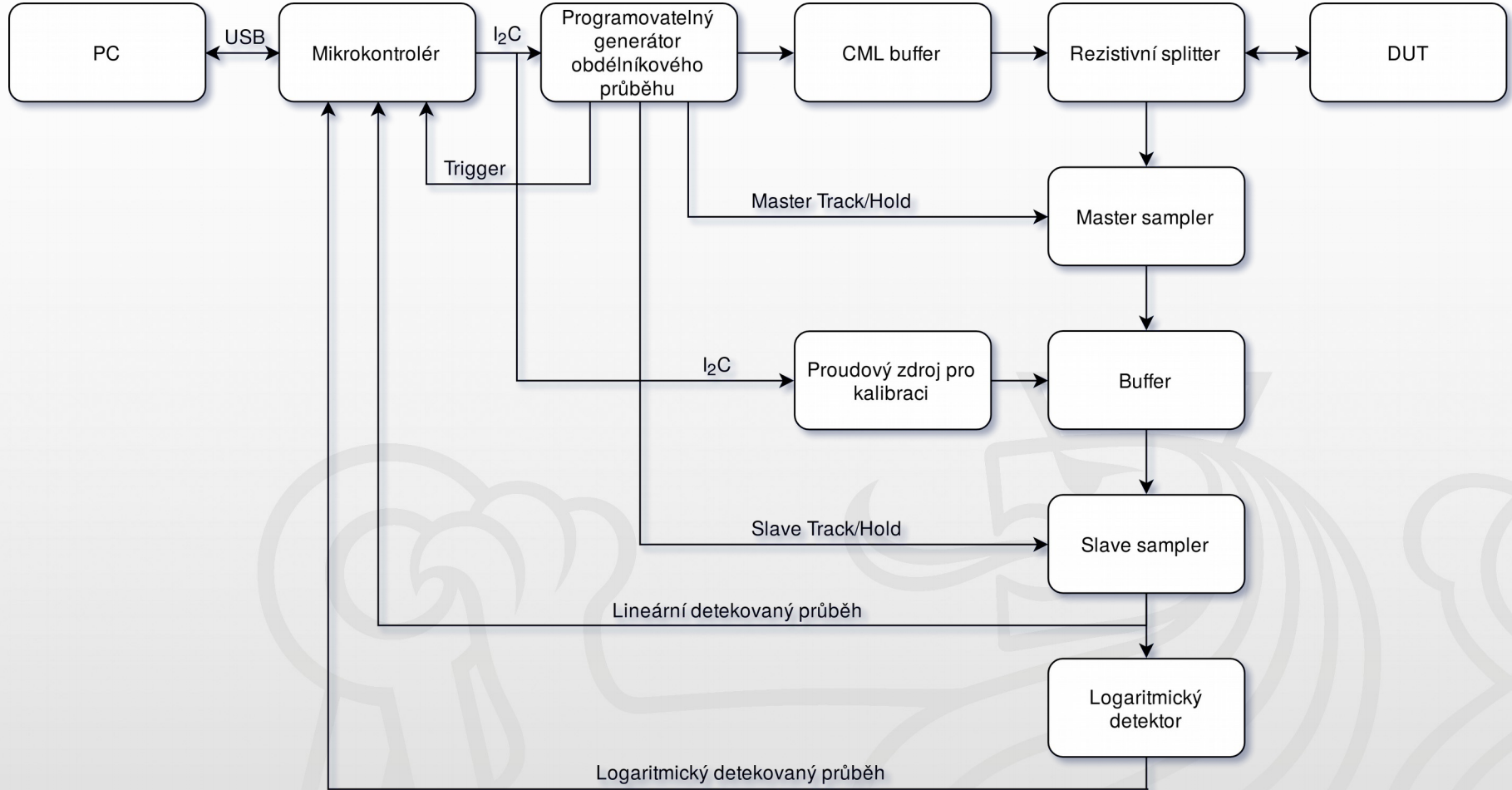
Reflektometr Princip zapojení

Petr Polášek

29.4.2019



Blokové zapojení

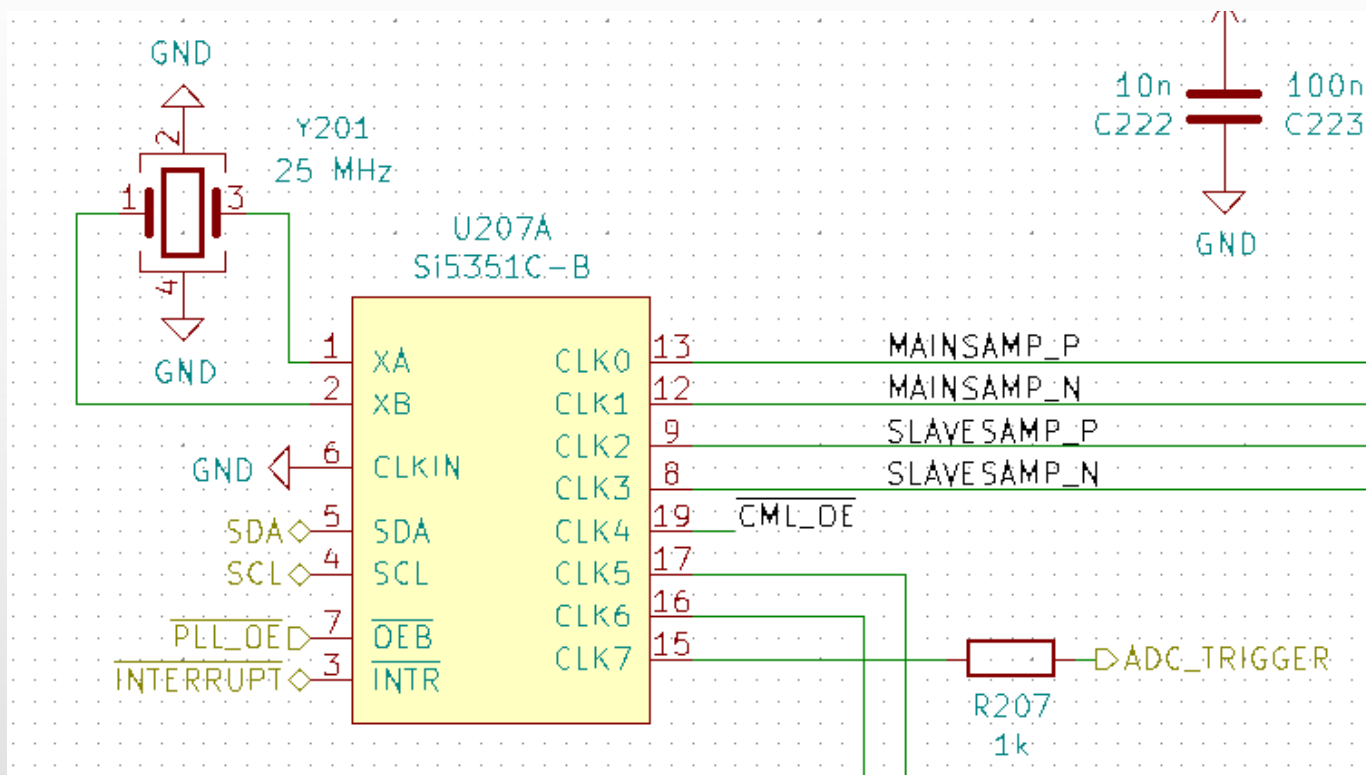


Generátor

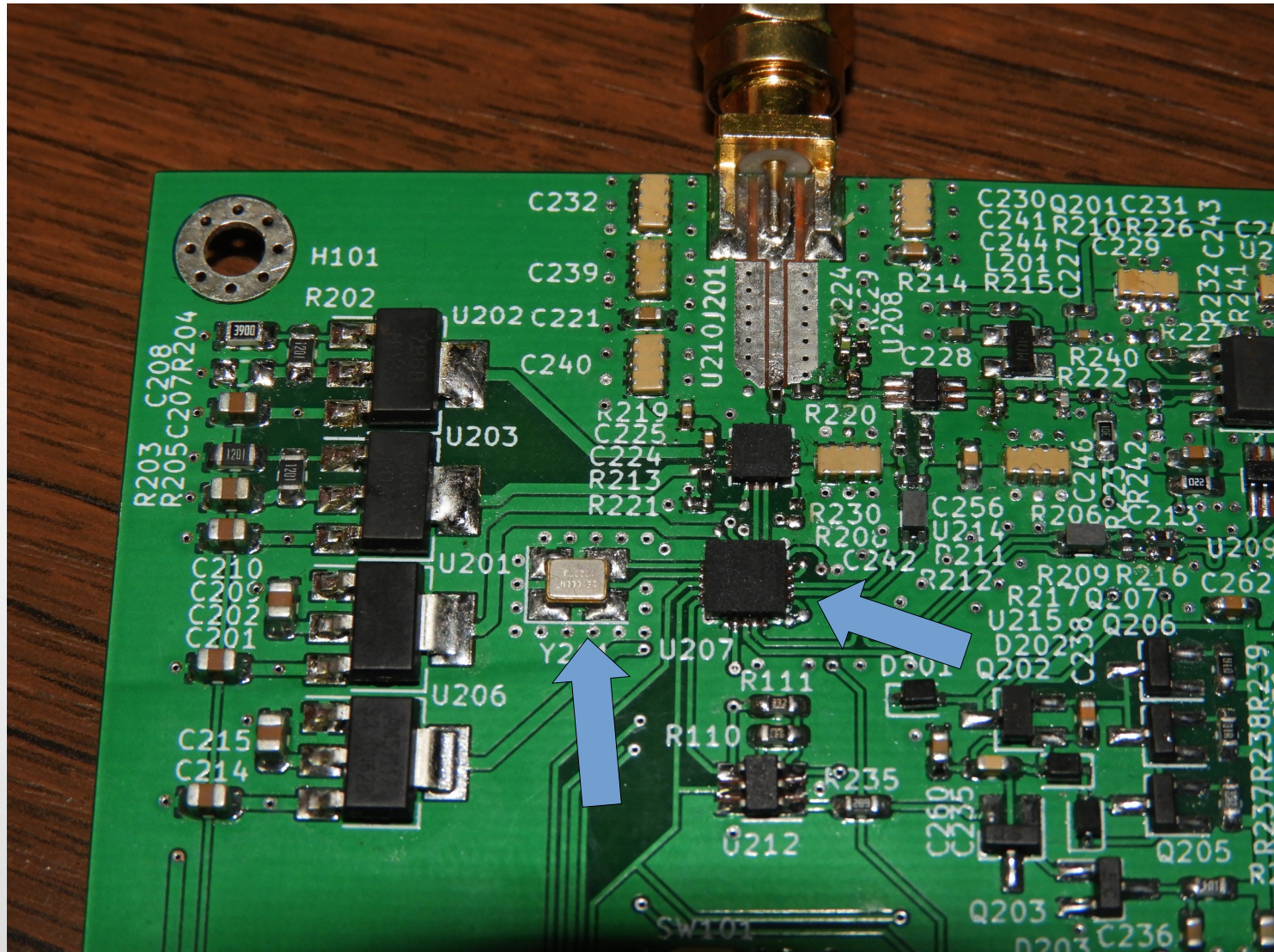
- Dvojitá PLL, 8 nezávislých děliček, možnost fázového posuvu mezi výstupy
- Ovládací signály pro vzorkovače (2x diferenciální buzení) nastaveny tak, že se 25 MHz hodinový signál vynásobí 24x na 600 MHz a vydělí $(46 \times 128)x$ na $\sim 101,9$ kHz
- Budicí signál pro CML buffer (1x diferenciální signál) nastaven tak, že se 25 MHz hodinový signál vynásobí $(24 + 24/100000)x$ na 600.006 MHz a vydělí $(46 \times 128)x$
- Poměr frekvencí buzení bufferu a vzorkovačů je $1 + 1/100000$ (dá se za chodu nastavovat i na jiné hodnoty)
- Mezi buzením hlavního a podružného vzorkovače je fázový posuv (max. cca 106 ns) kvůli správnému navzorkování
- Výsledkem je synchronní samplování, při každé periodě budicího signálu se odebere jeden vzorek
- Krok samplování se dá libovolně nastavit, omezení je prakticky jen jitterem PLL (maximálně $155 \text{ ps}_{\text{pk-pk}'}$, typicky $70 \text{ ps}_{\text{pk-pk}}$)

Generátor - PLL

- Zapojení PLL je minimalistické, vyžaduje jen externí 25 MHz krystal, napájecí obvody a připojení k mikrokontroléru pomocí I₂C

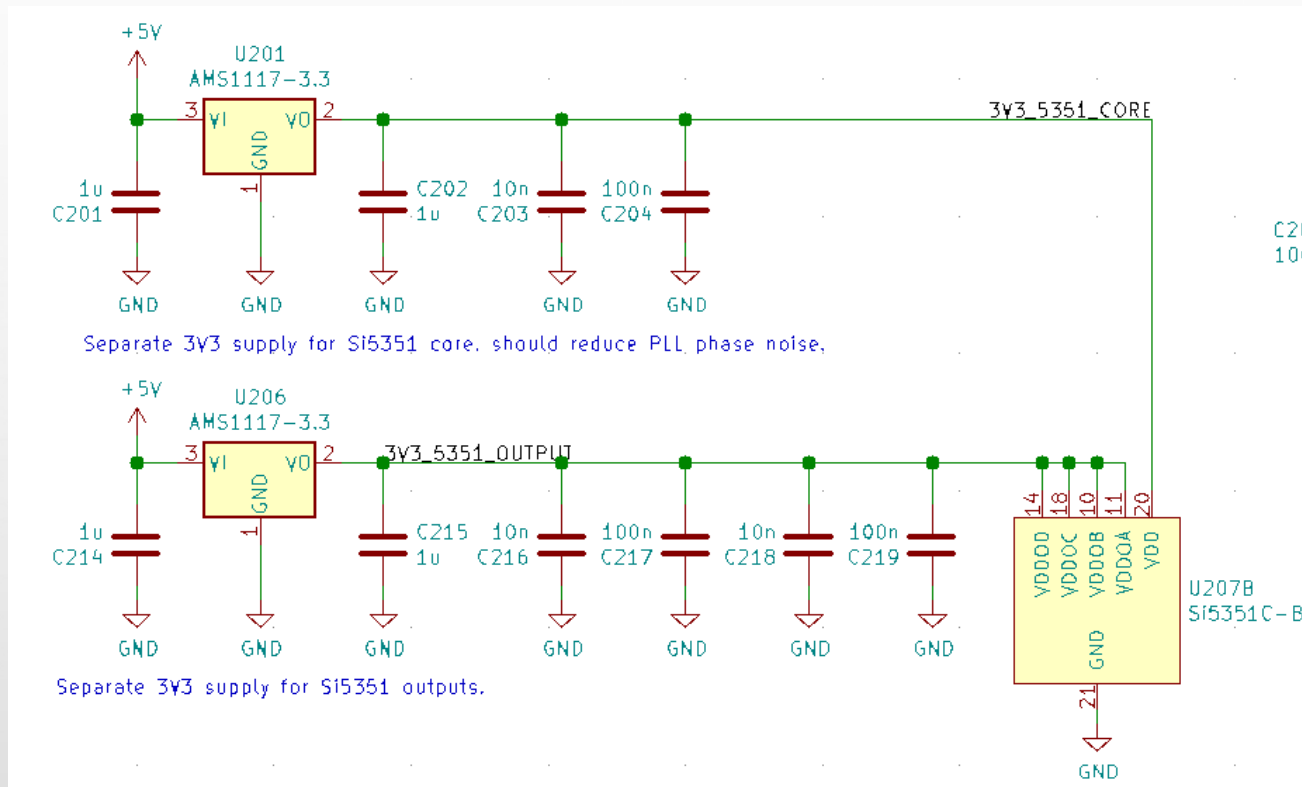


Generátor - PLL

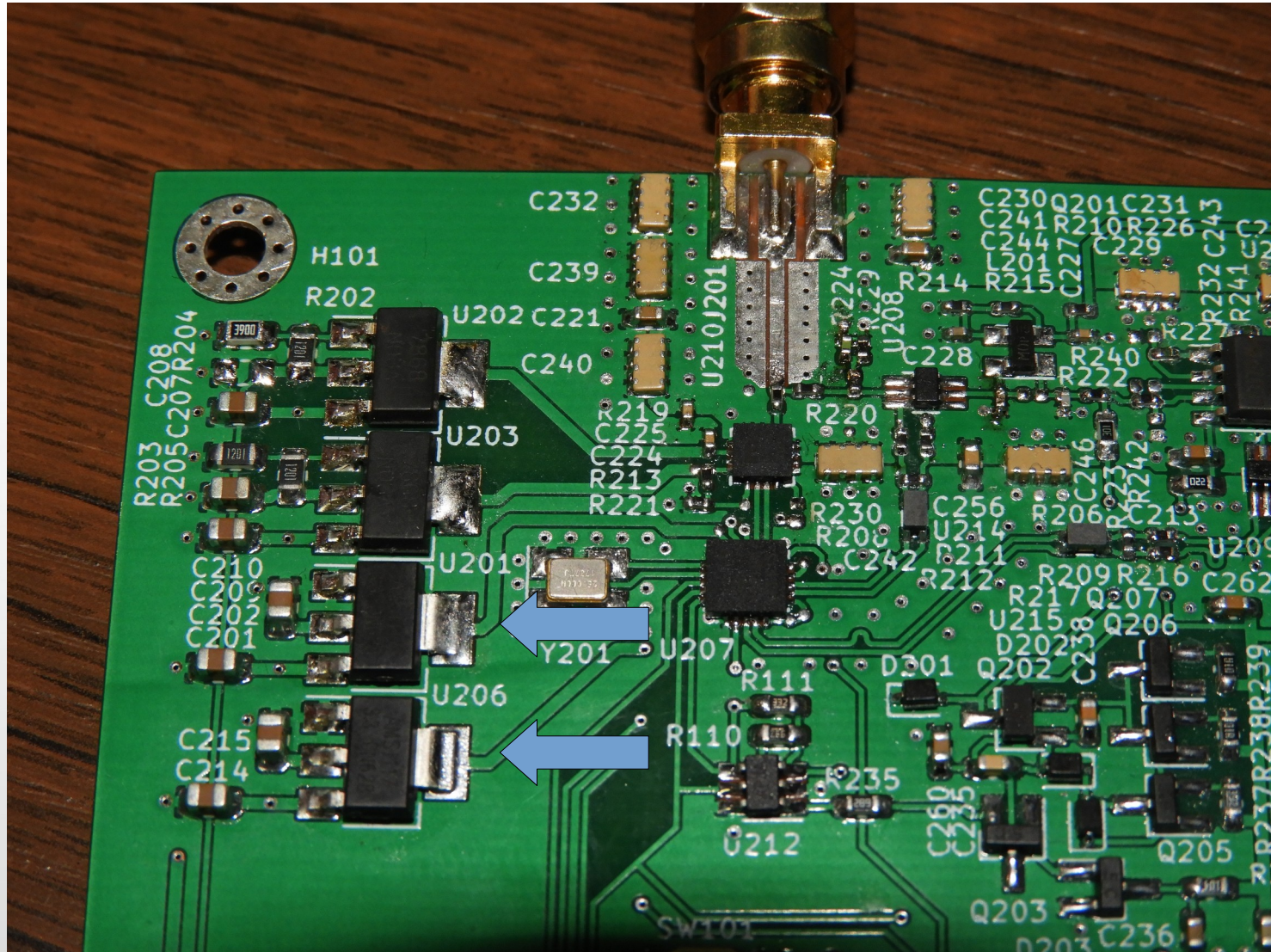


Generátor - napájení

- Nezávislé napájení výstupních budičů a zbytku PLL kvůli zmenšení fázového šumu



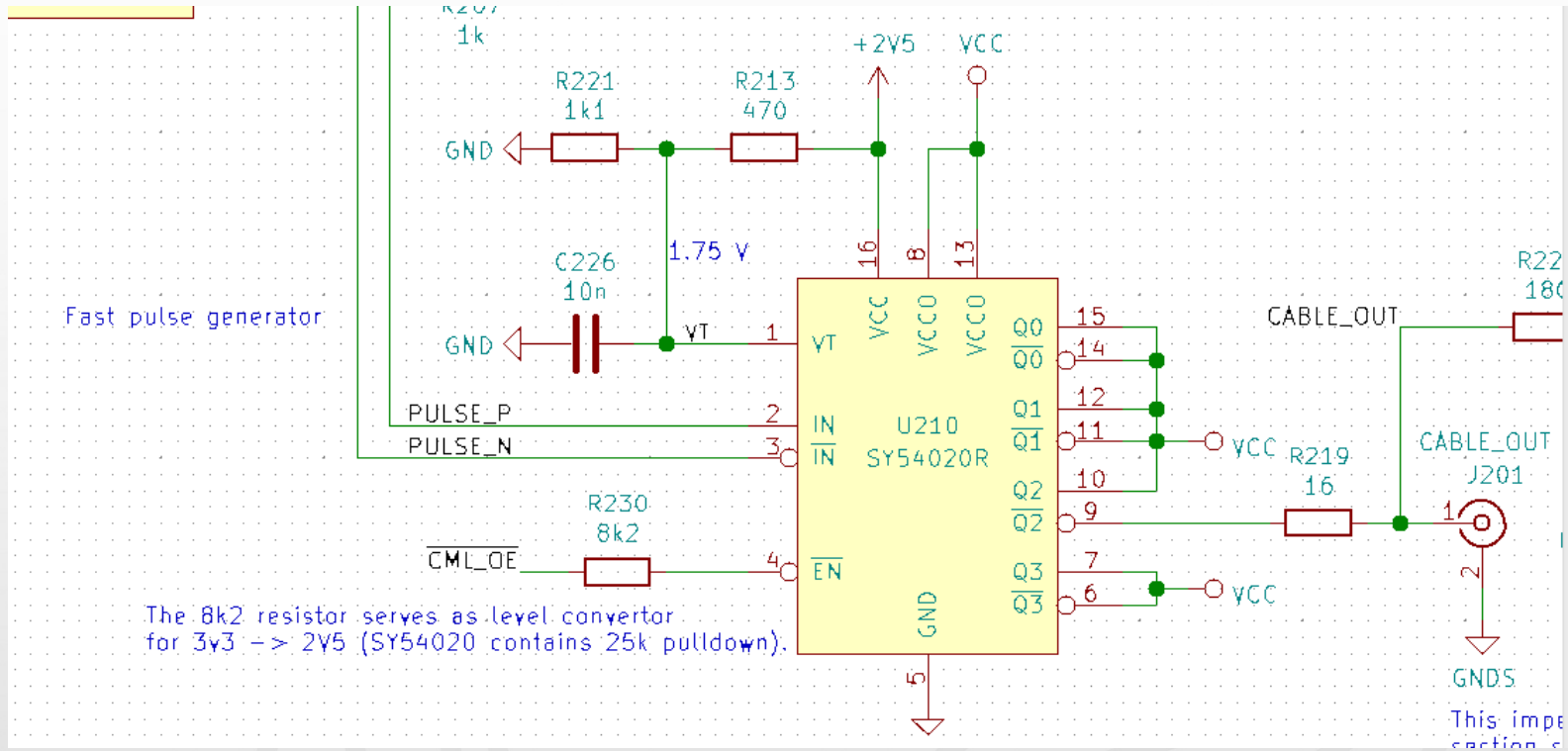
Generátor - napájení



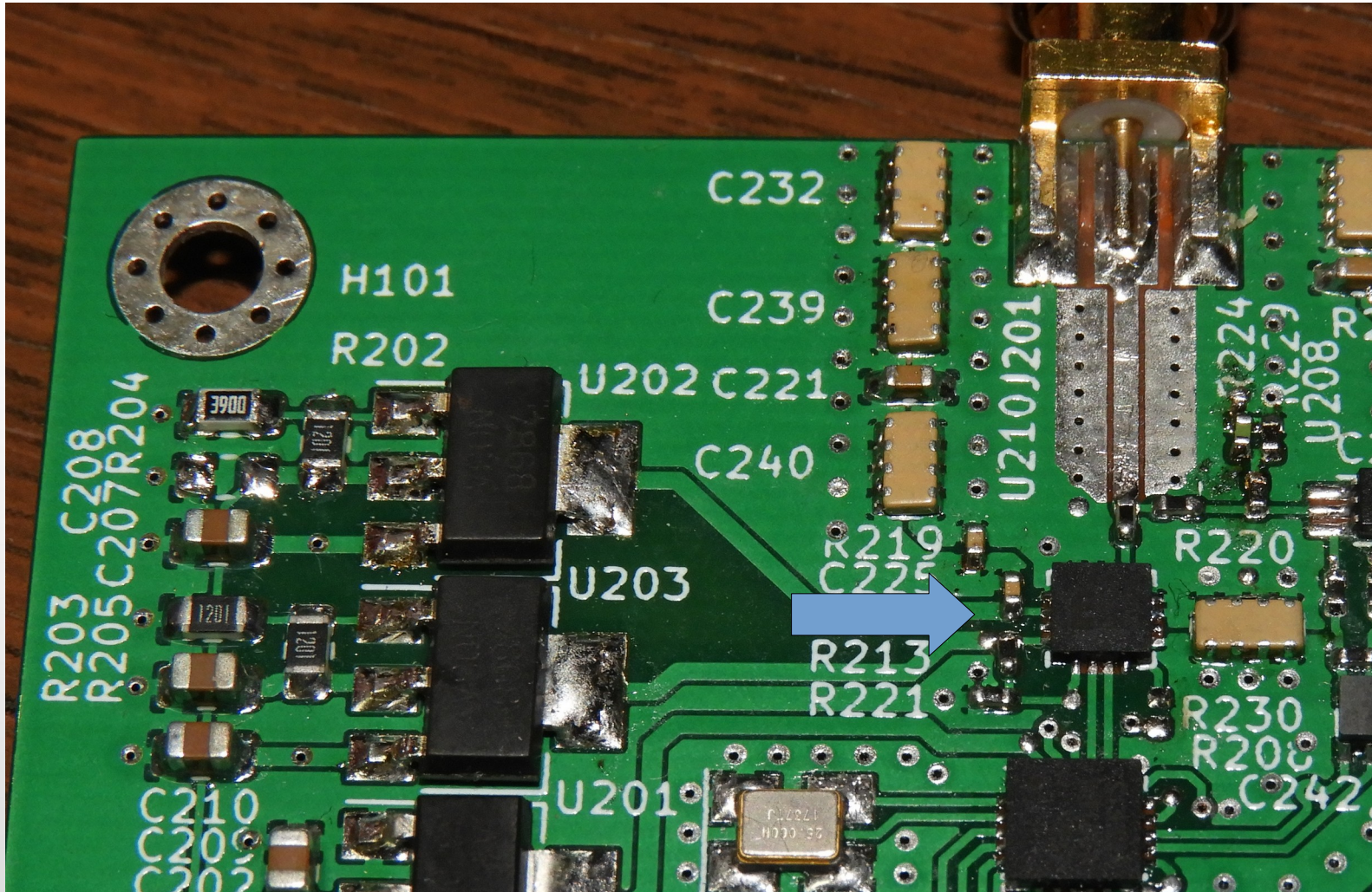
CML buffer

- Délka náběžné hrany (20-80%) výstupů PLL je 1.1 ns, pro dosažení kratší náběžné hrany je použit CML buffer. Podle katalogového listu by měla být délka náběžné hrany v rozsahu 35-100 ps.
- Výstupy jsou terminované 50Ω , jsou zapojené do kolektorů budičů. Díky tomu je možné lépe dodržet terminaci měřicího portu – většina technologií je zapojená jako emitorové sledovače (TTL, PECL, LVPECL, ...), které se bohužel chovají značně nelineárně.
- Výstupy jsou referencované vůči napětí 1.65 V (polovina 3.3 V, označené jako VCC a GNDS) kvůli jednoduchosti zapojení vzorkovačů – jsou přímo buzené pomocí PLL, která je napájena z 3.3 V a jsou tak buzeny symetricky.
- Jeden výstup připojen do rezistivního splitteru

CML buffer - buffer

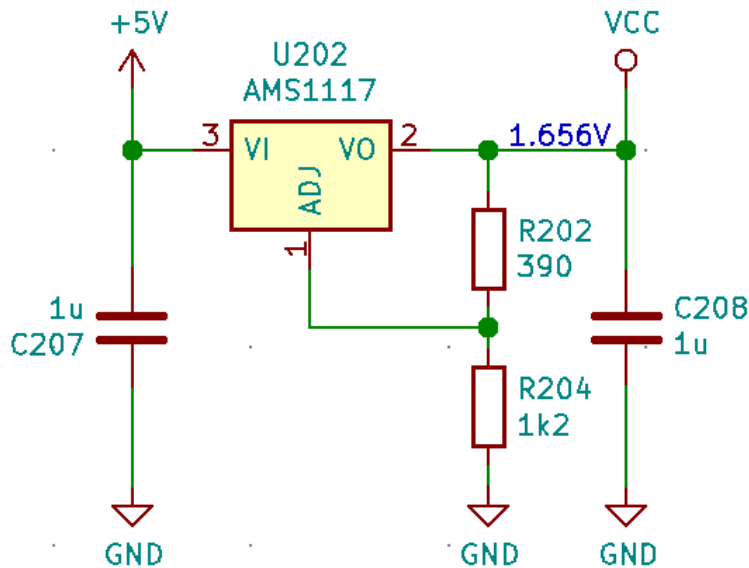


CML buffer - buffer

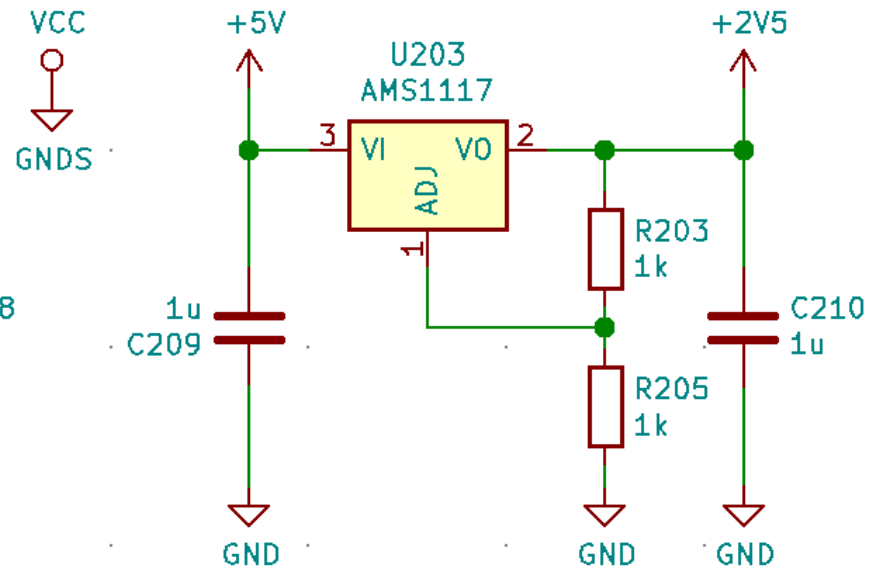


CML buffer - napájení

- Samostatné napájení pro výstupní budiče CML bufferu kvůli referencování logických úrovní vůči 1.65 V (polovina 3.3 V)
- Napájecí větev 1.65 V se také používá jako virtuální zem pro rezistivní splitter, samplery, buffer a logaritmický detektor

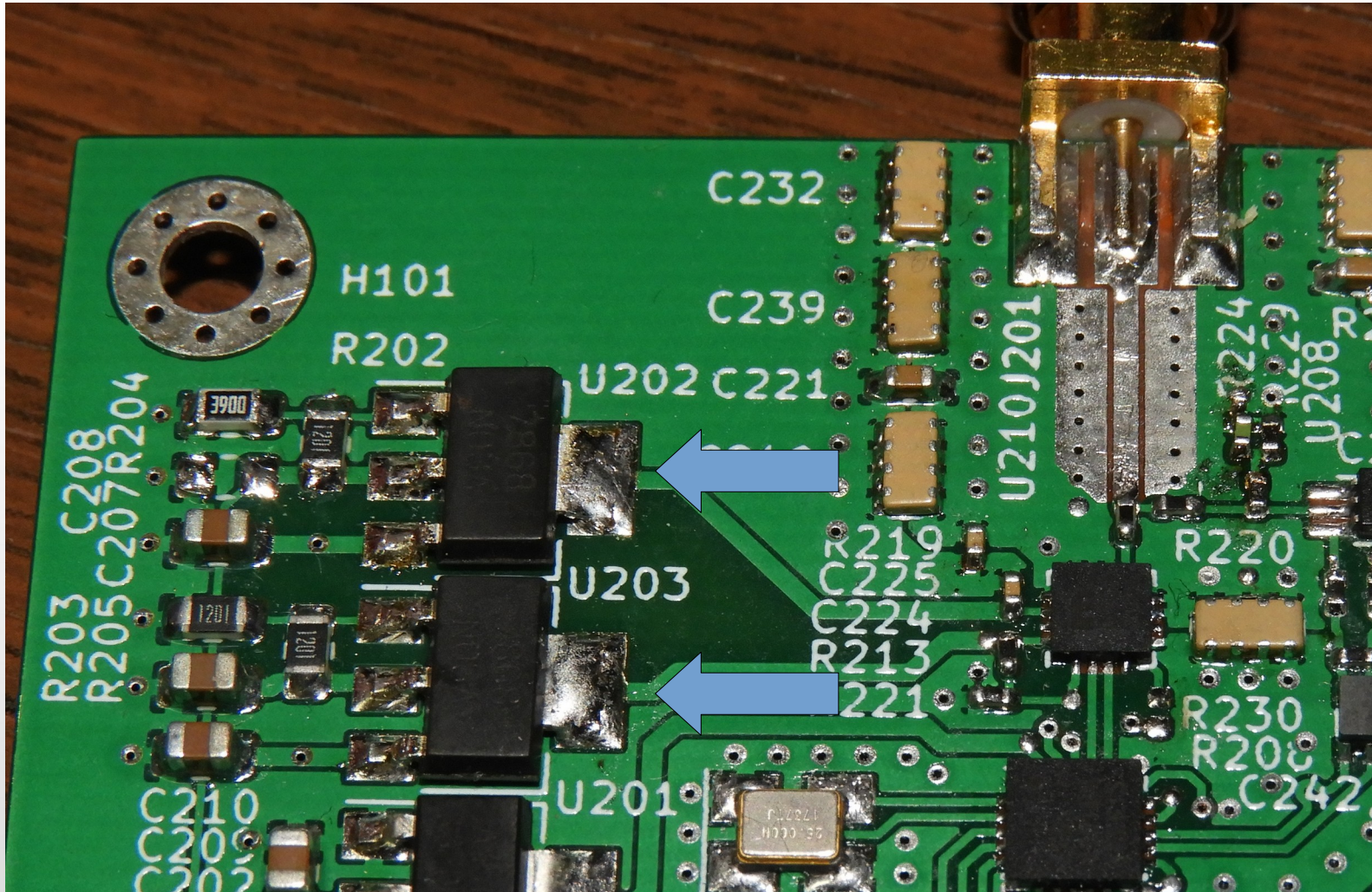


Supply which creates virtual ground node "GNDS" and powers CML buffer output stage.



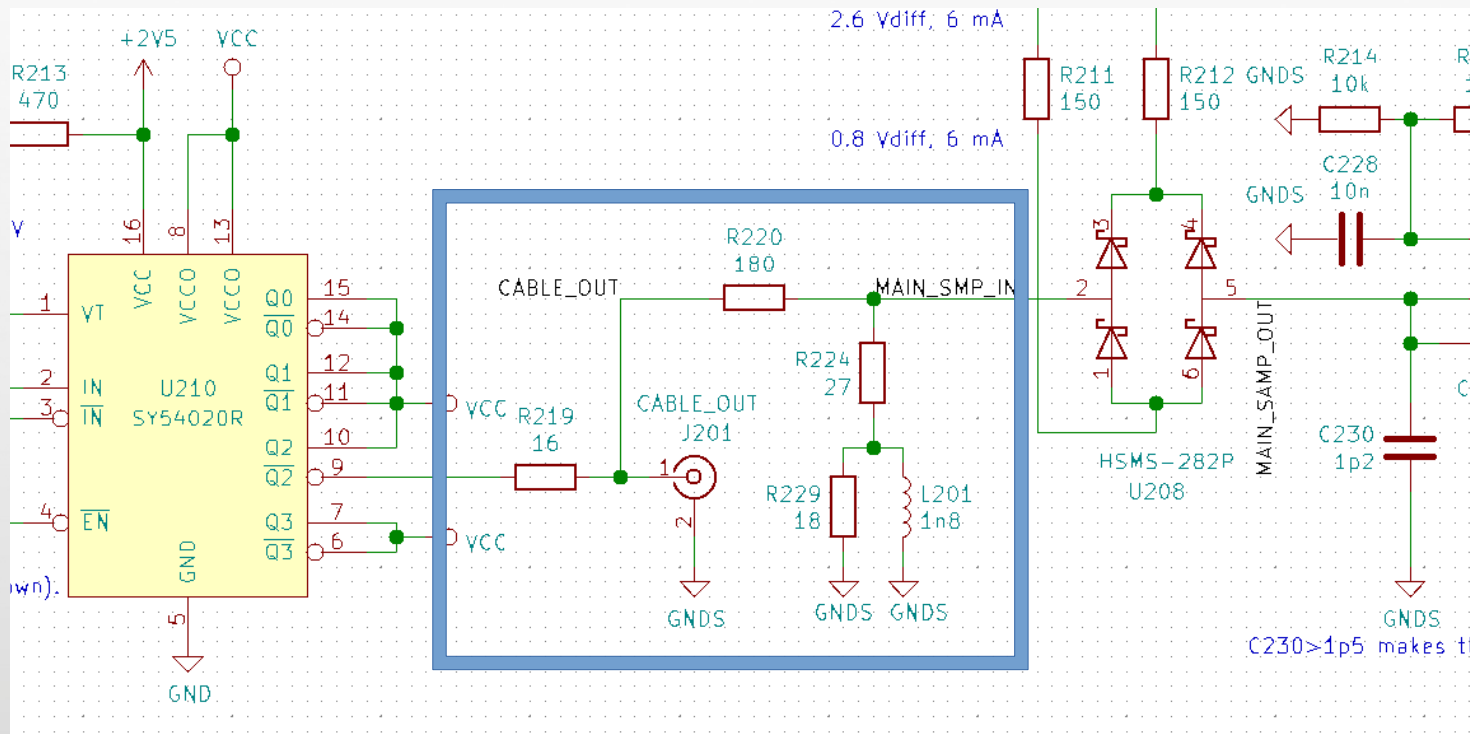
Supply which powers the CML buffer core.

CML buffer - napájení

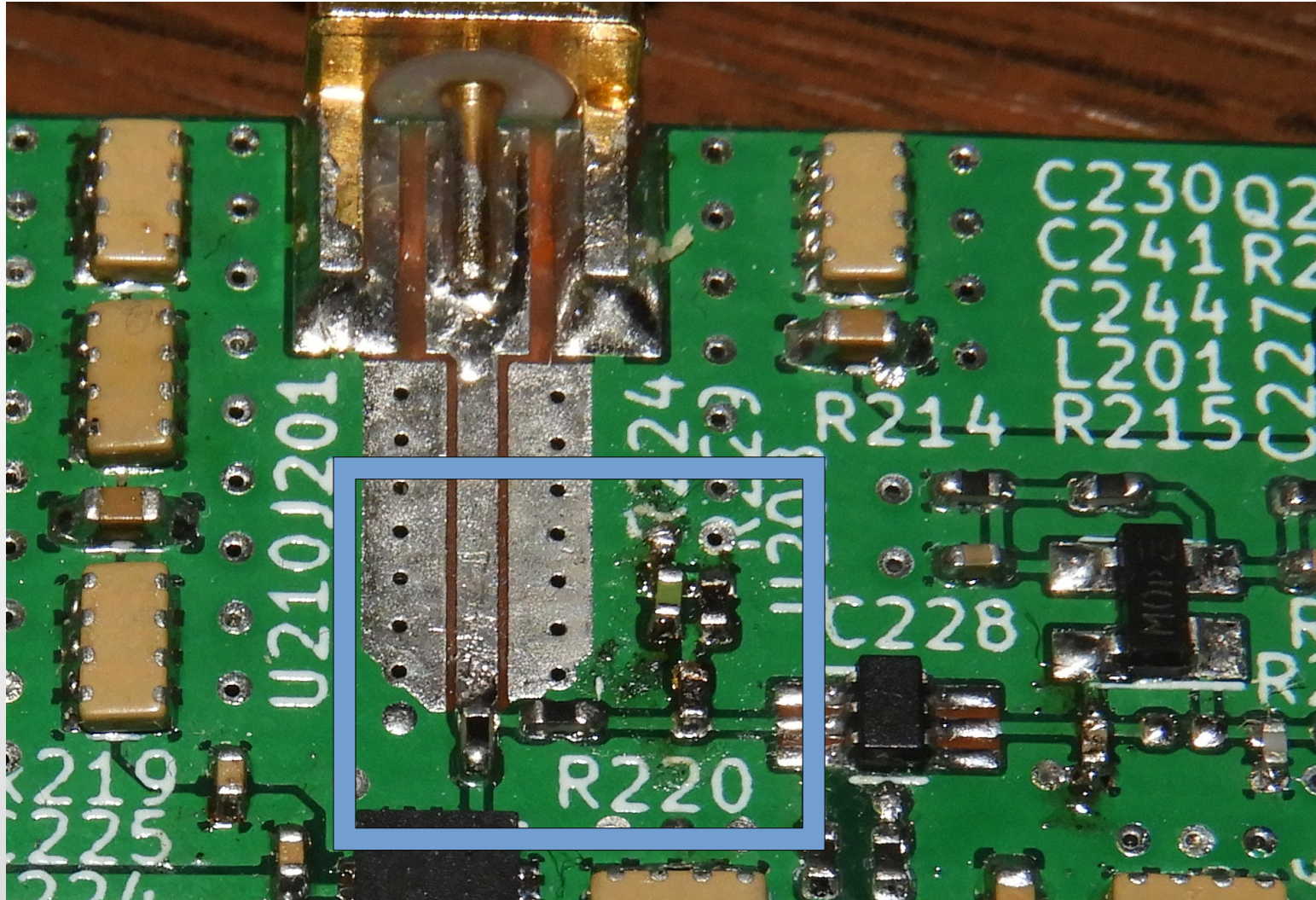


Rezistivní splitter

- Splitter slouží k propojení CML bufferu, vzorkovačů a DUT, přičemž impedance testovacího portu by měla být co nejbližší 50Ω
- Součástí splitteru je i reaktivní impedanční přizpůsobení, aby se co nejvíce potlačila reaktivní složka impedance hlavního vzorkovače
- Vzorkovač sleduje budicí pulz i odrazy, nejsou od sebe odděleny

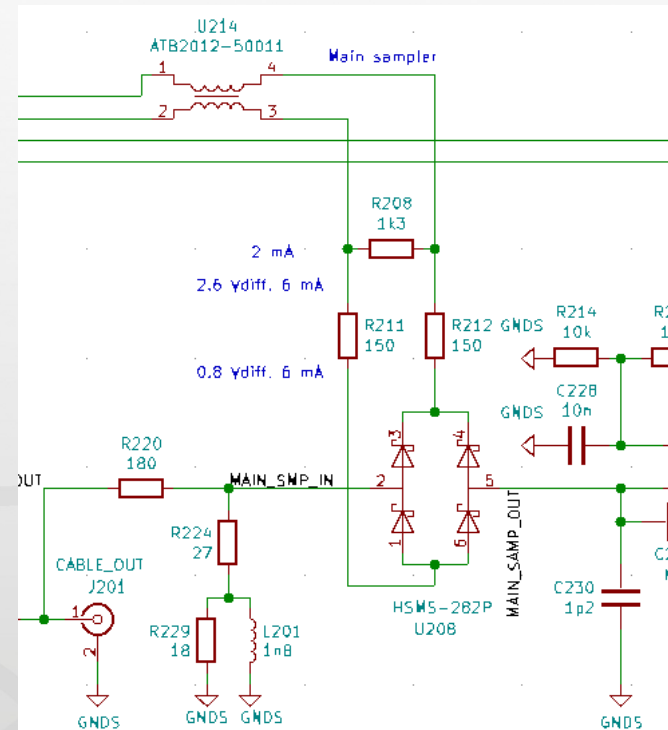


Rezistivní splitter

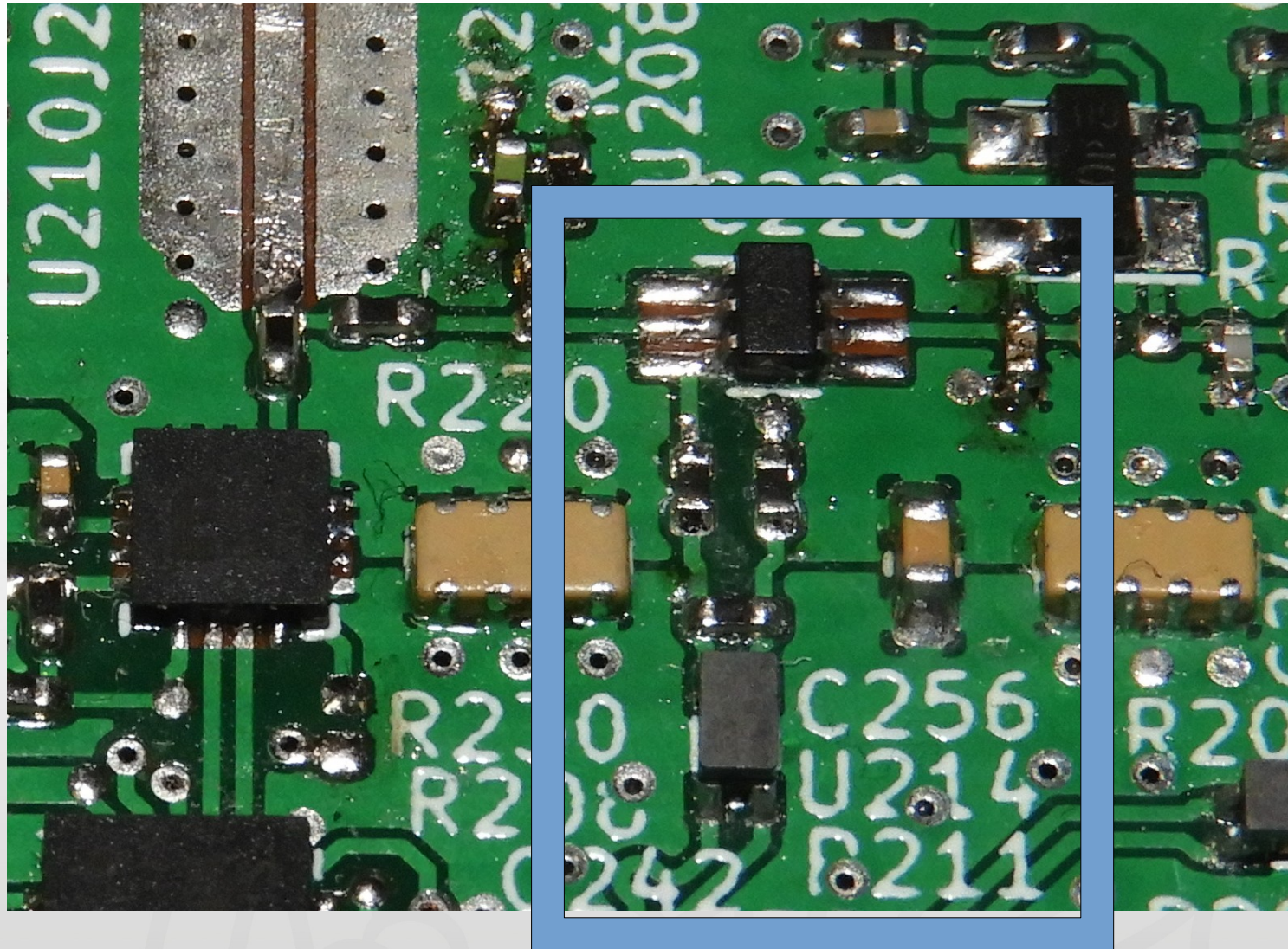


Hlavní vzorkovač

- Vzorkovač je buzený obdélníkovým signálem a je realizovaný jako diodový vzorkovací můstek, chová se jako track-and-hold
- Kvůli minimálnímu kapacitnímu zatížení splitteru se vzorkuje do 1,2 pF kondenzátoru, ke kterému je připojen vysokoimpedanční buffer (kapacitní složka <math>< 2 \text{ pF}</math>).
- Pro zvýšení souhlasné impedance buzení buzení (proudové buzení) je použit proudový balun

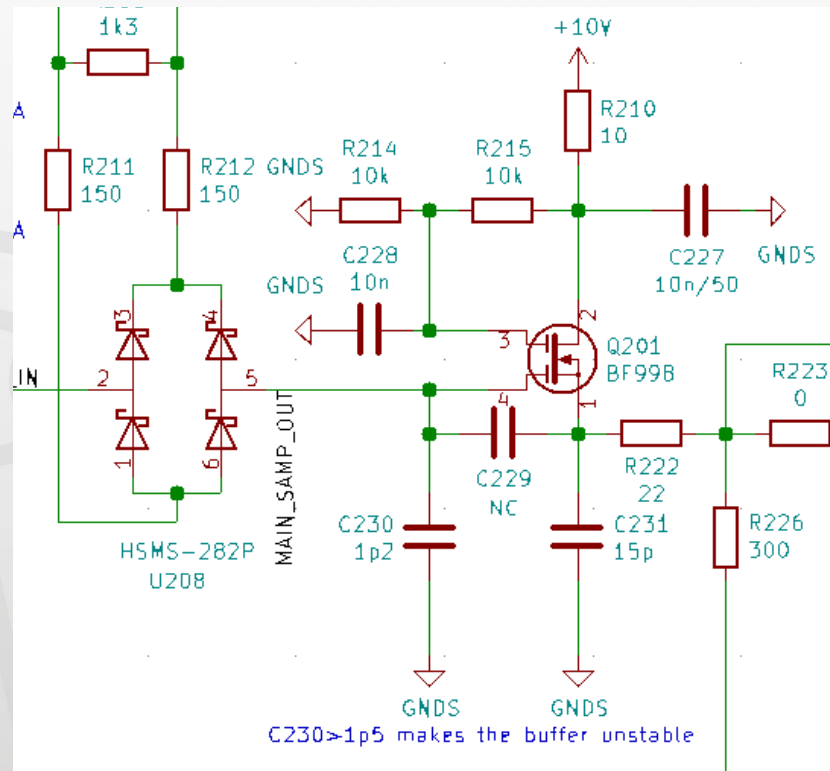


Hlavní vzorkovač

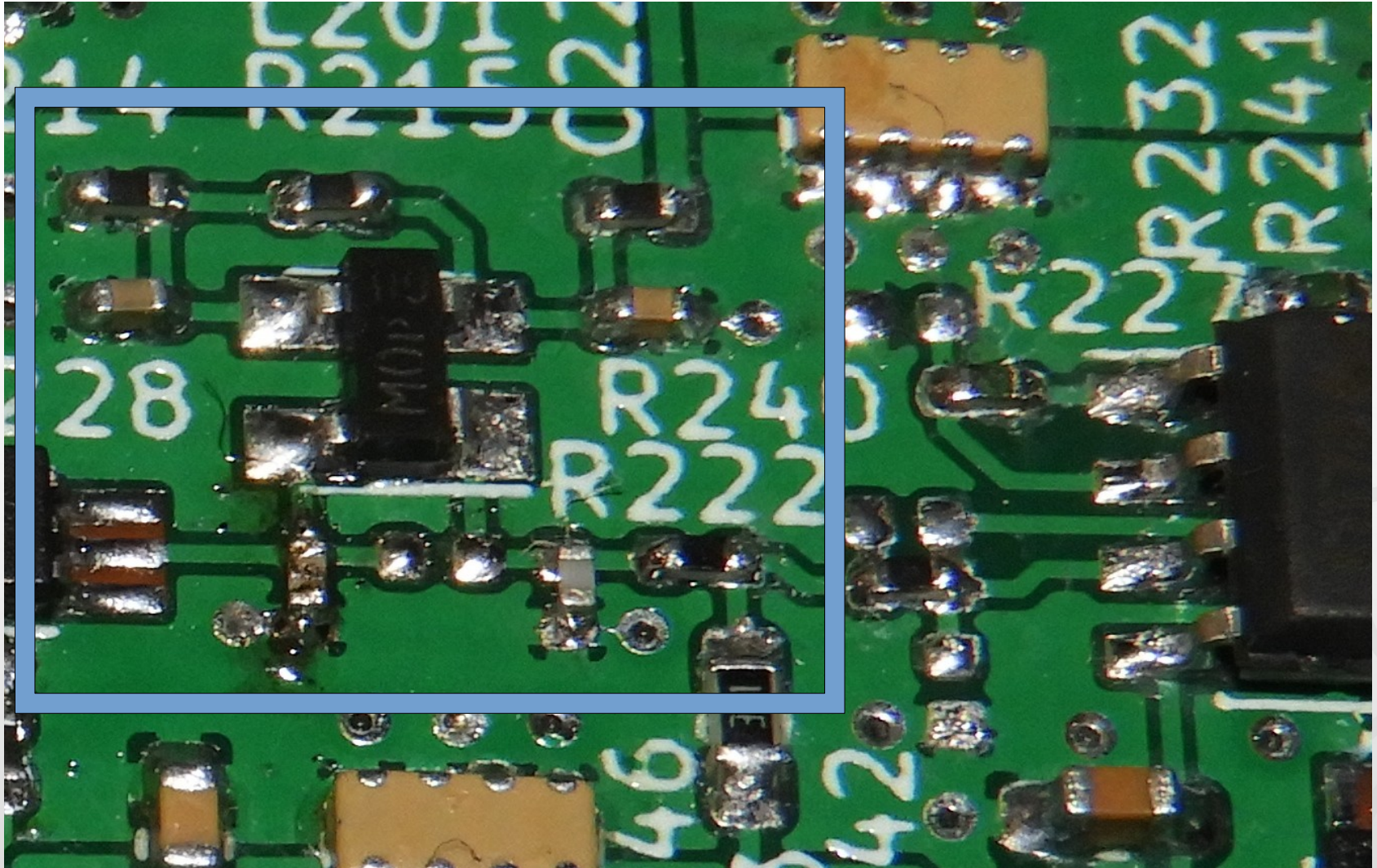


Buffer

- Buffer je použit proto, že operační zesilovače mají obecně velkou vstupní kapacitu vůči samplovacímu kondenzátoru. Je možné samplovat i přímo do vstupu operačního zesilovače, ale bylo by nezbytné použít kapacitní dělič.
- V source zapojen proudový zdroj řízený DAC kvůli kalibraci

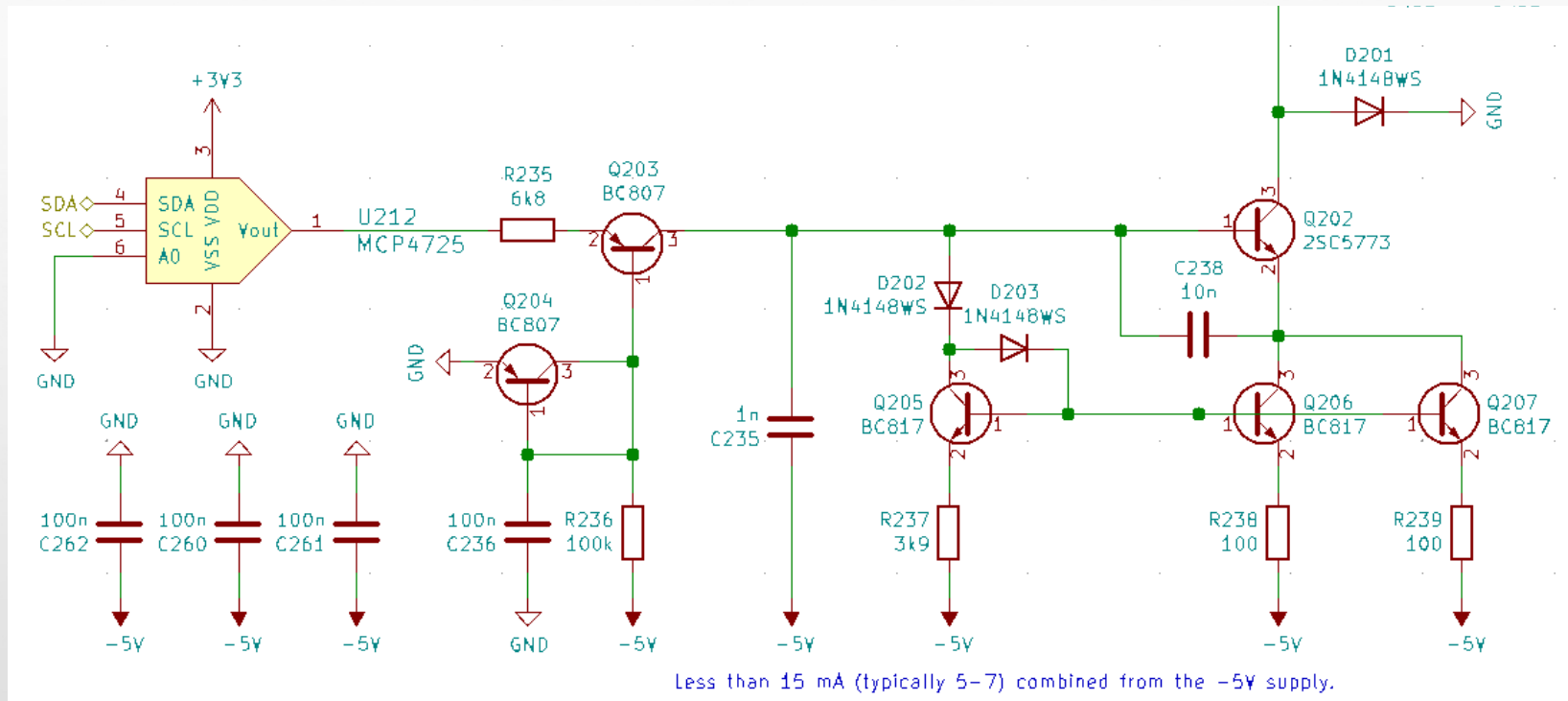


Buffer



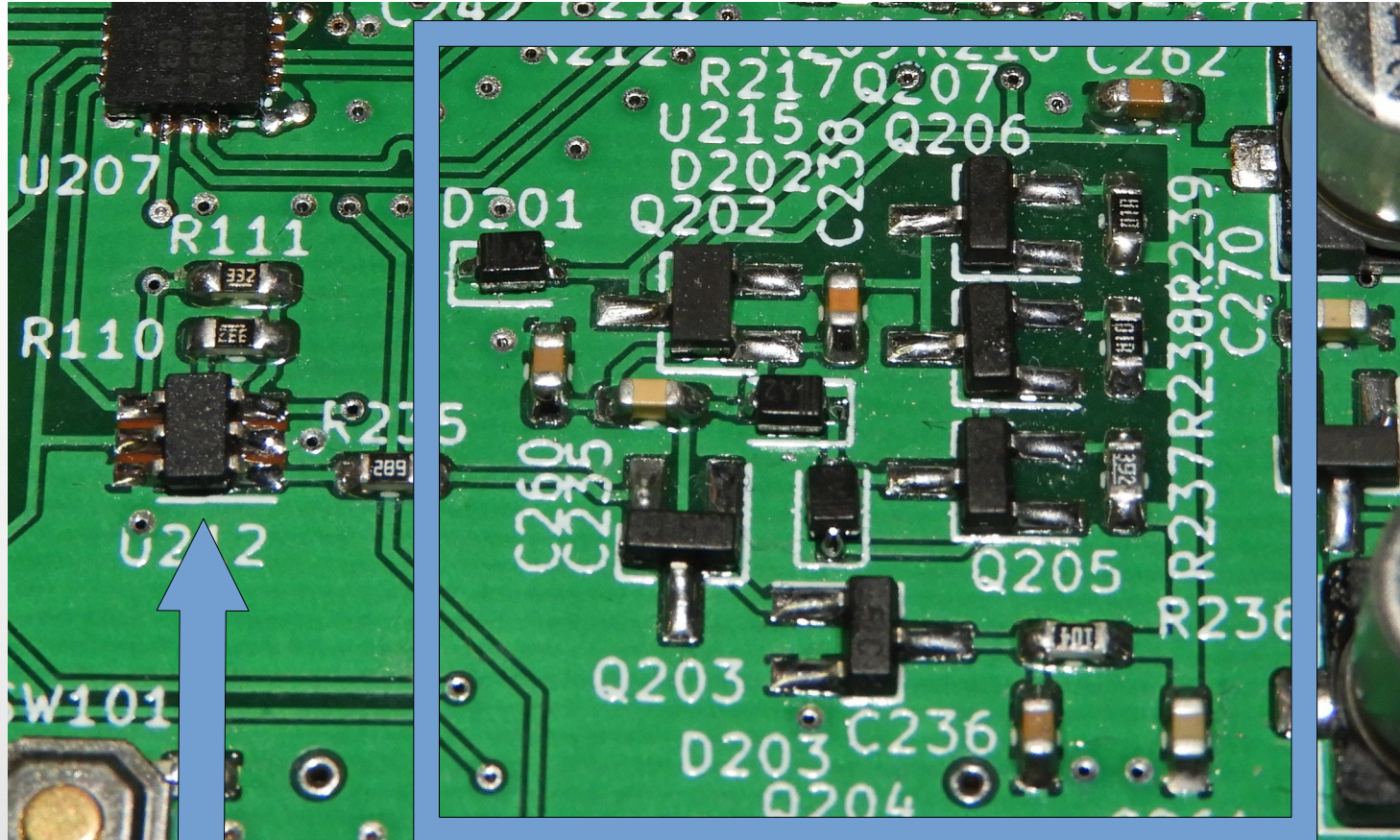
Kalibrační proudový zdroj

- Proudovým zdrojem je možné eliminovat DC posuv vzorkovačů, změřit převodní charakteristiku bufferu a kalibrovat logaritmický detektor – lze zkalibrovat nulu i strmost detektoru





Kalibrační proudový zdroj



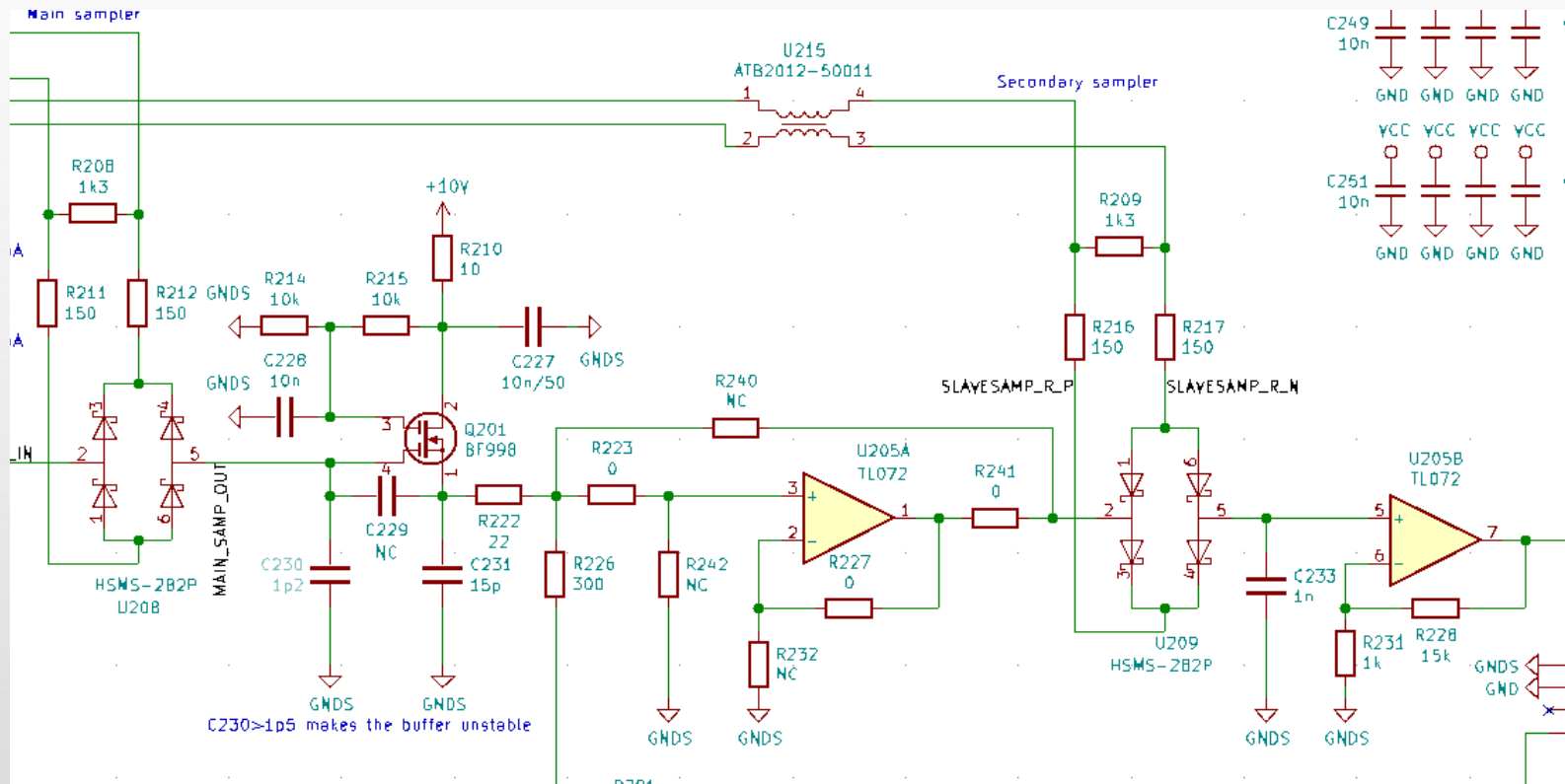
DAC

Proudový zdroj

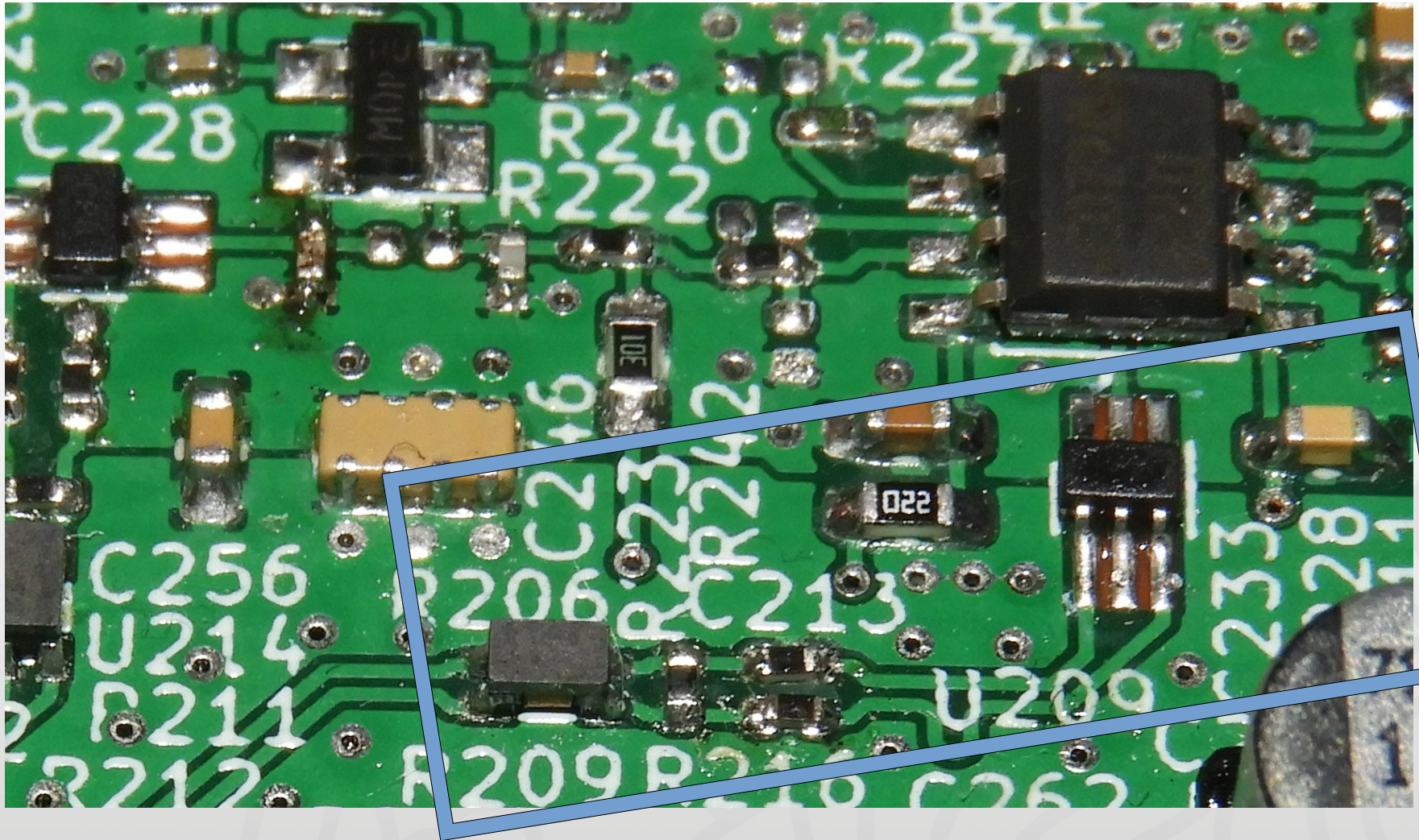


Podružný vzorkovač

- Výstup bufferu vede do operačního zesilovače zapojeného jako jednotkový buffer, pak do vzorkovače a neinvertujícího zesilovače
- Za zesilovačem už se nachází navzorkovaný signál vhodný pro digitalizaci

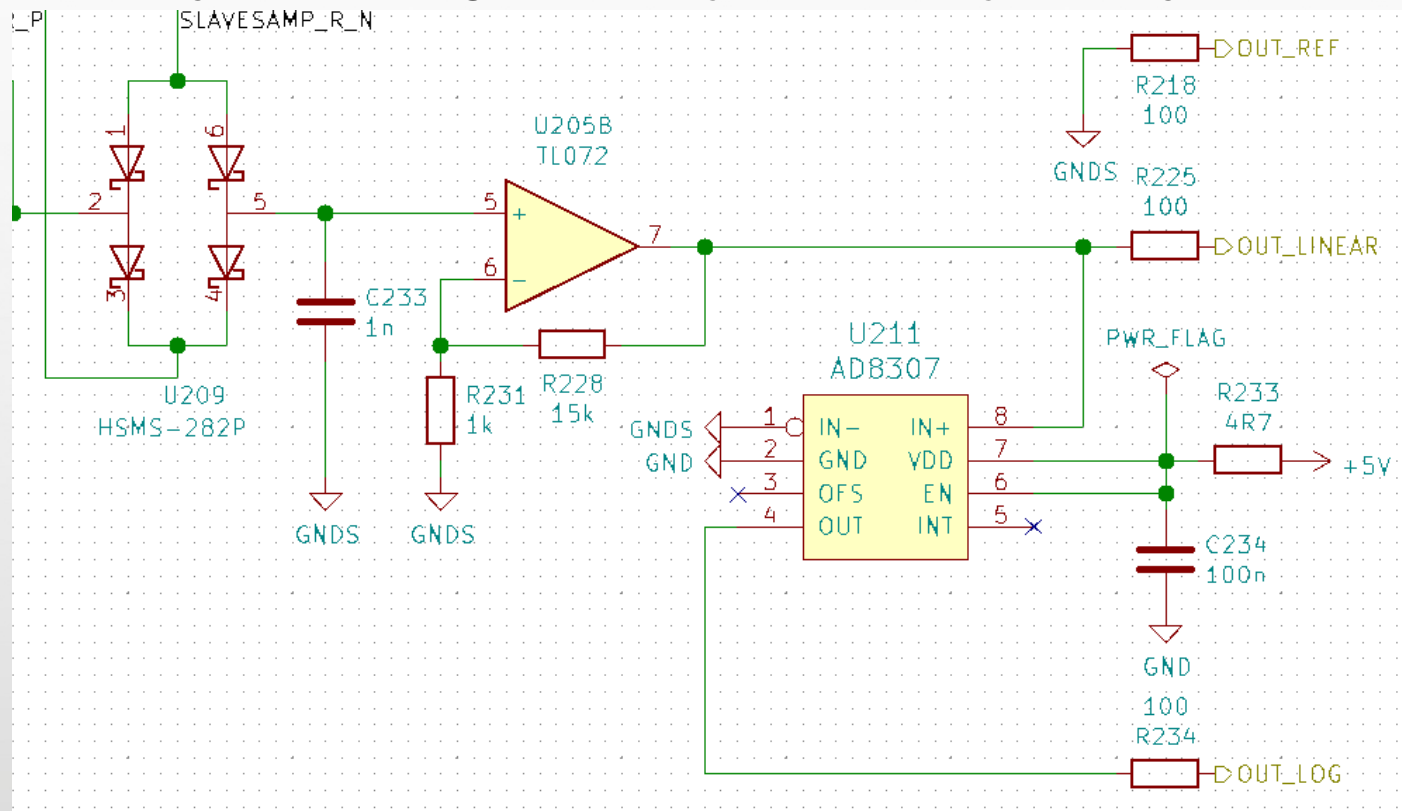


Podružný vzorkovač

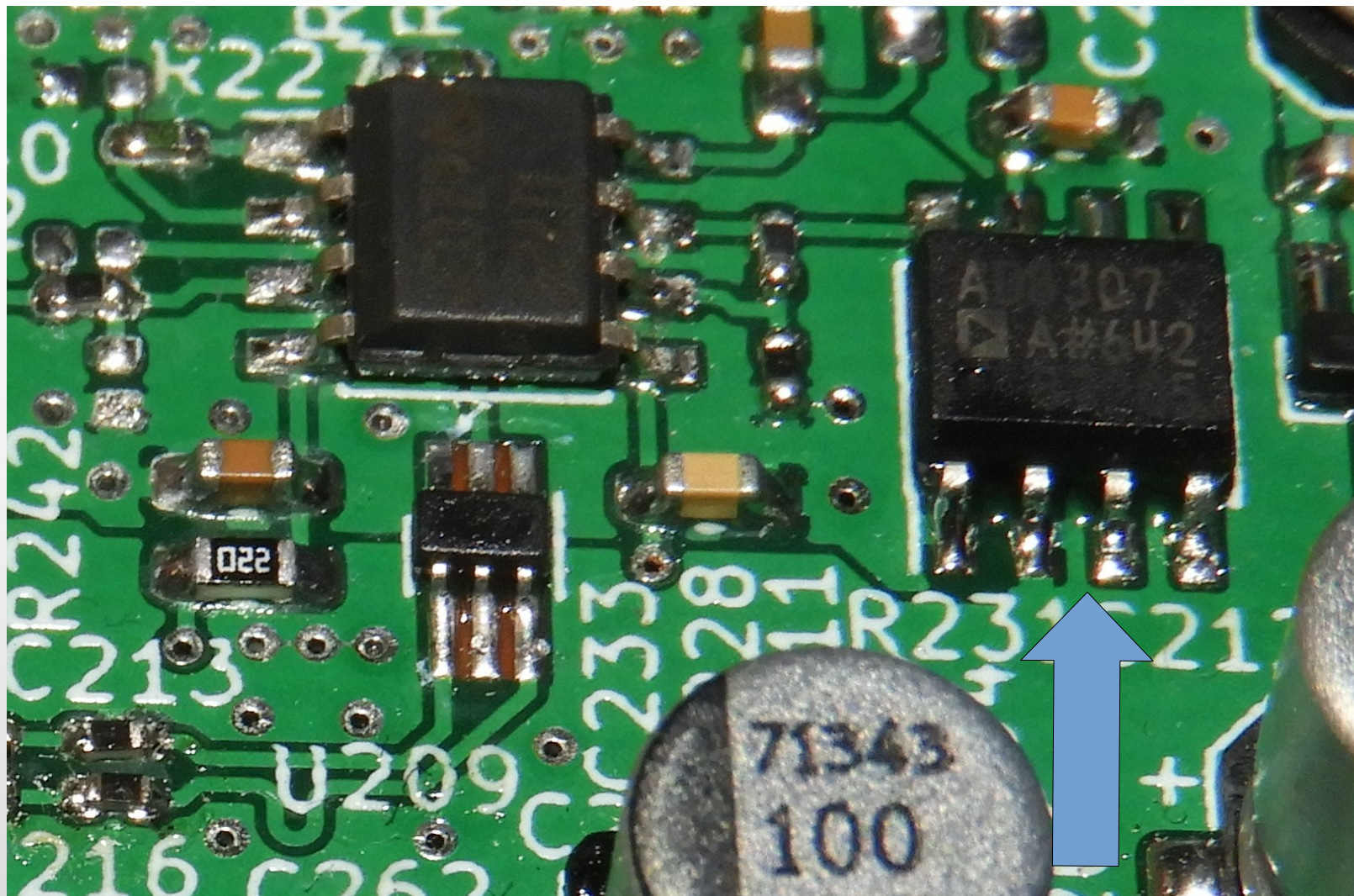


Logaritmický detektor

- Detektor slouží k rozšíření dynamického rozsahu měření (v mikrokontroléru je pouze 12bitový ADC) – detektor má dynamiku cca 90 dB
- Kalibrace je řešená regulovatelným proudovým zdrojem bufferu



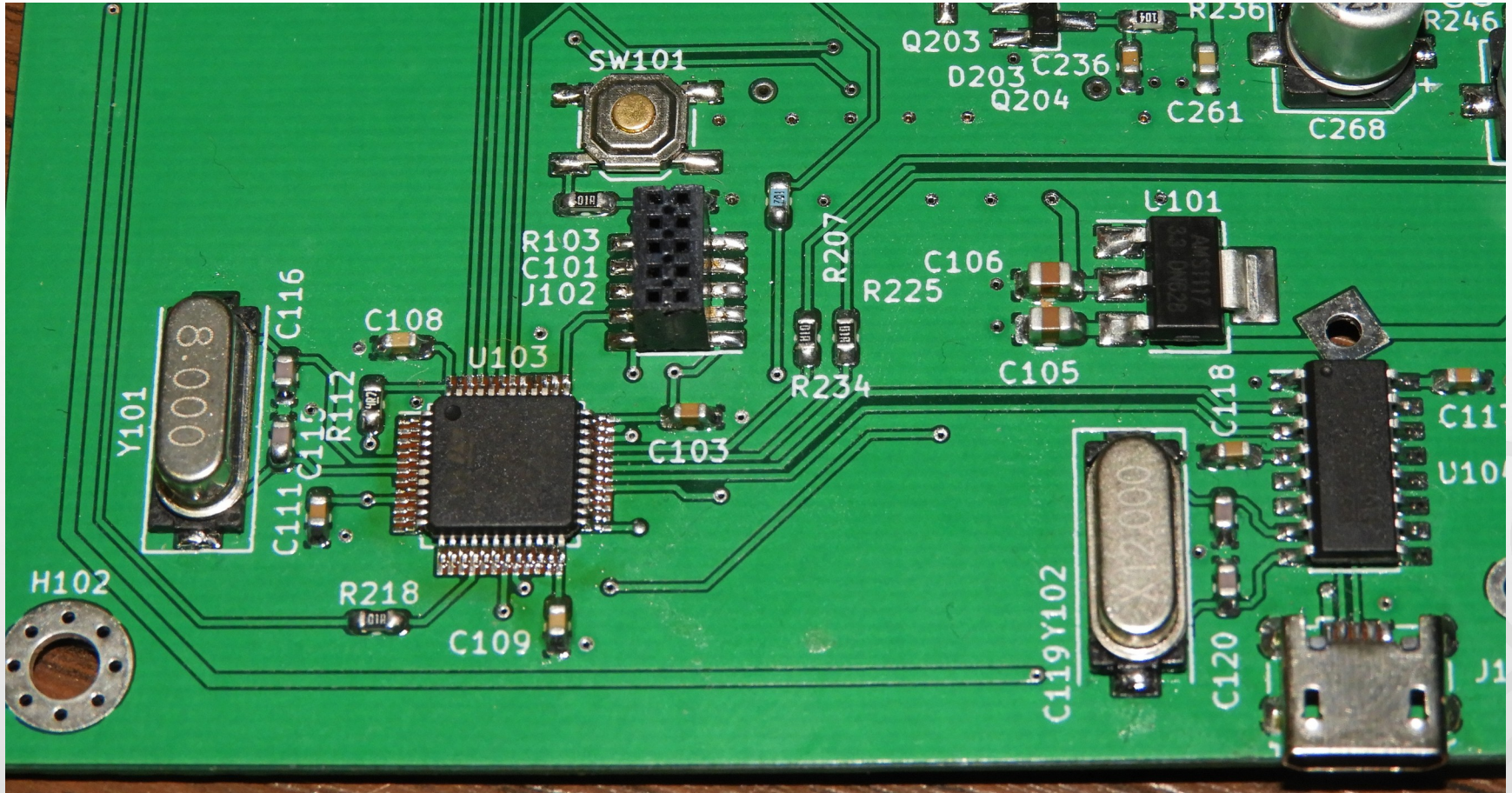
Logaritmický detektor



Mikrokontrolér

- Mikrokontrolér slouží k nastavování PLL, kalibraci a digitalizaci navzorkovaného průběhu
- PLL generuje synchronizační signál, mikrokontrolér pomocí něj digitalizuje automaticky pomocí DMA navzorkovaný signál
- Digitalizovaná data se mohou odesílat přes USB do počítače nebo základně zpracovávat přímo v mikrokontroléru (má však jen 20 kB RAM)

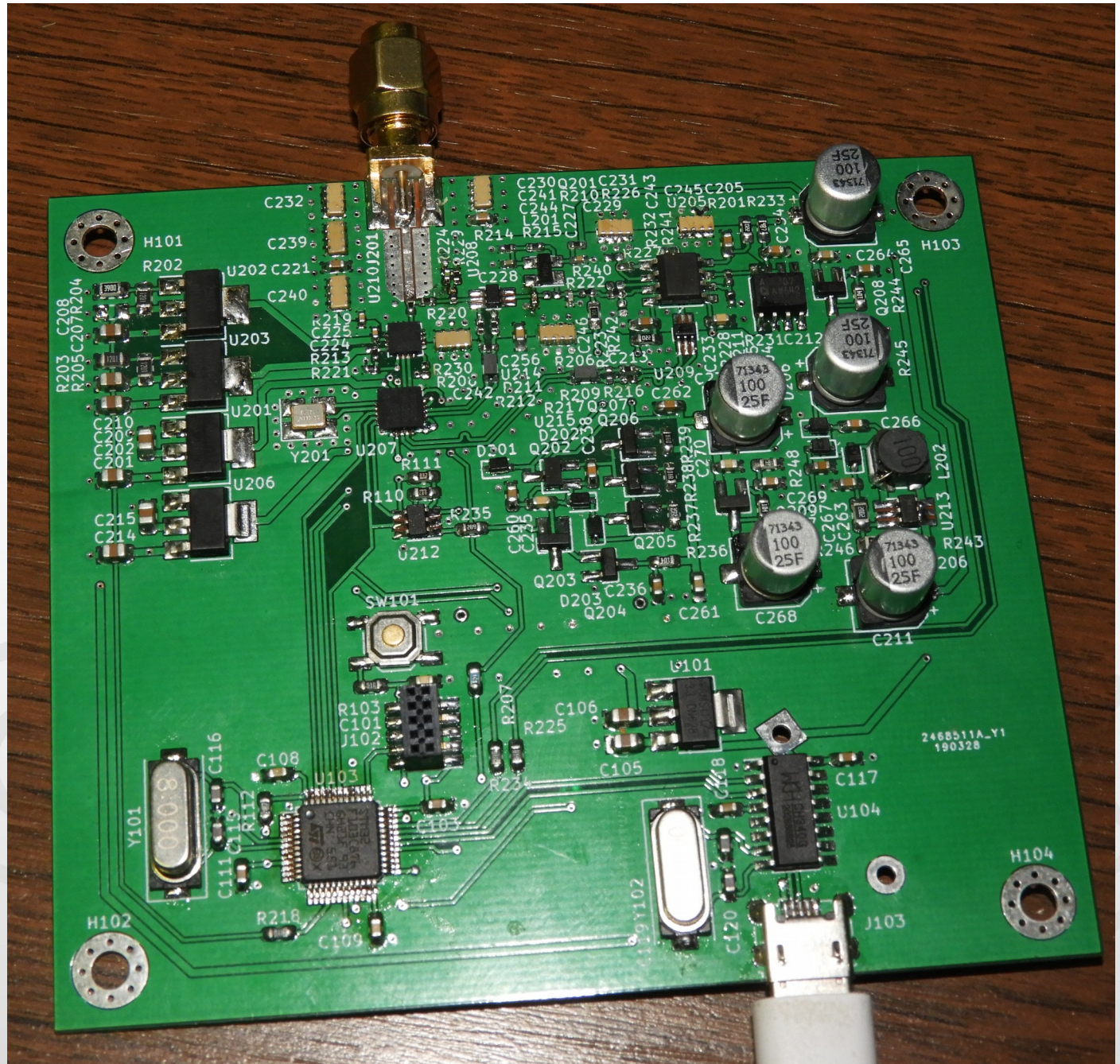
Mikrokontrolér

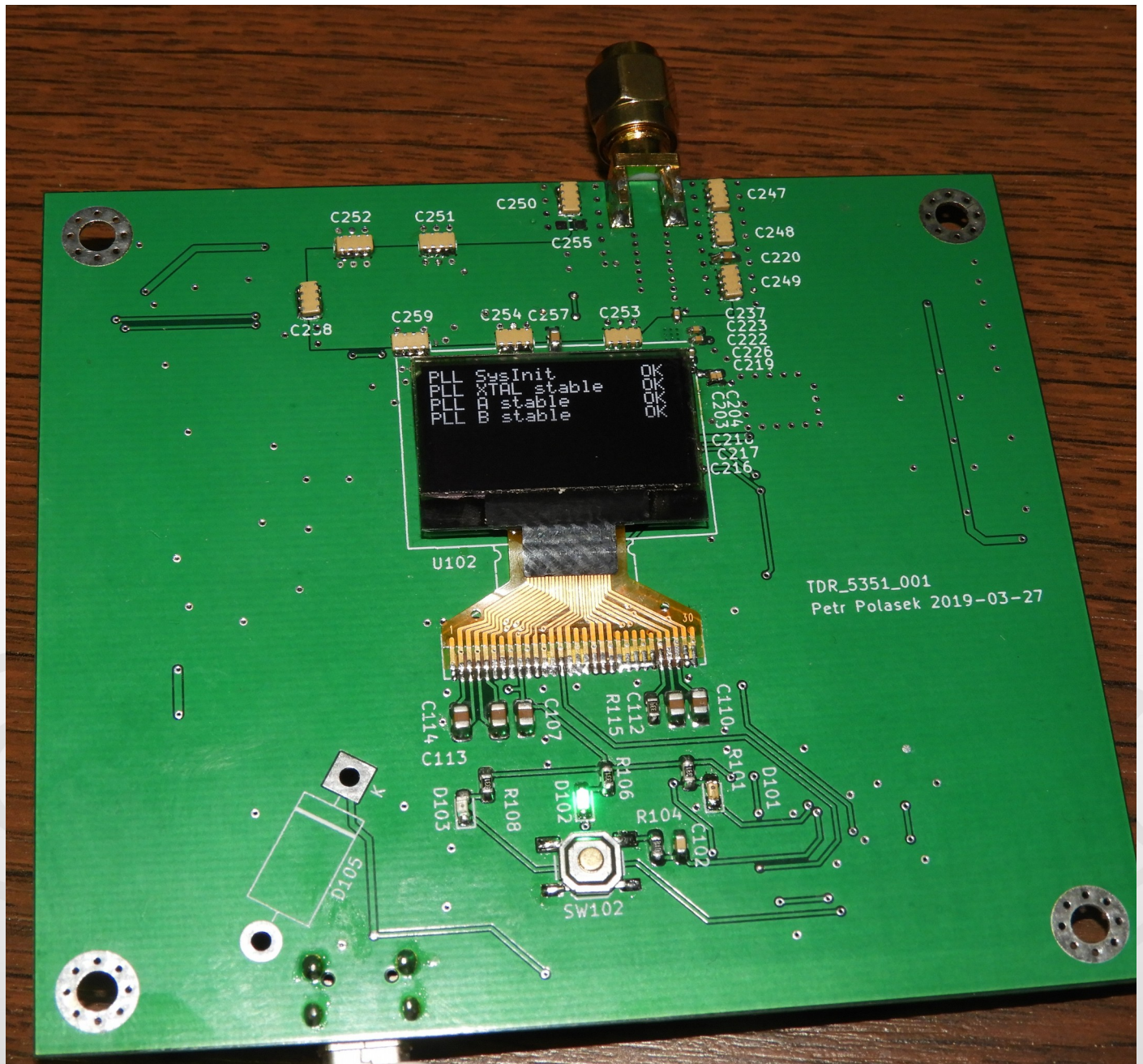


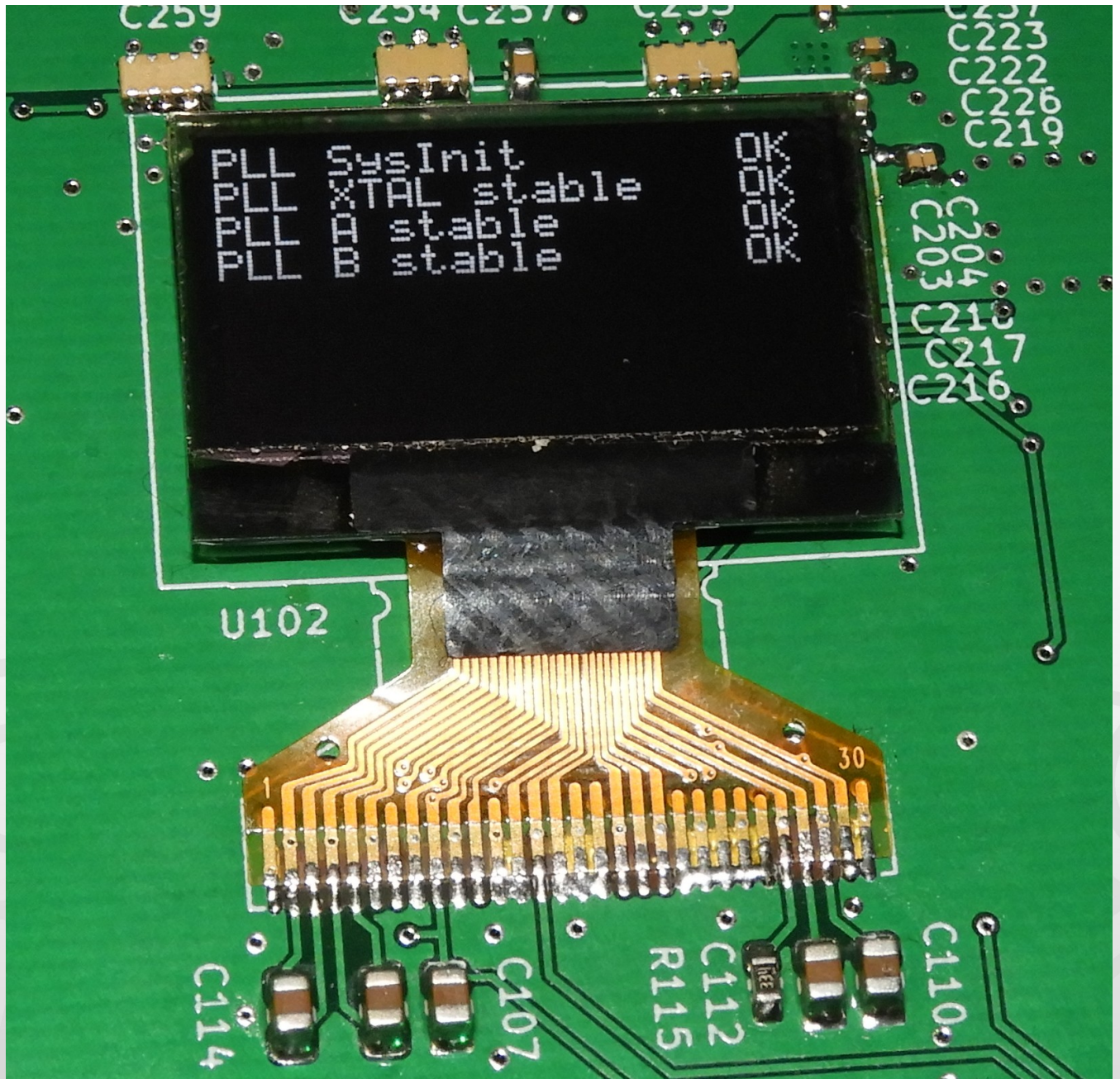


ČVUT

ČESKÉ VYSOKÉ
UČENÍ TECHNICKÉ
V PRAZE

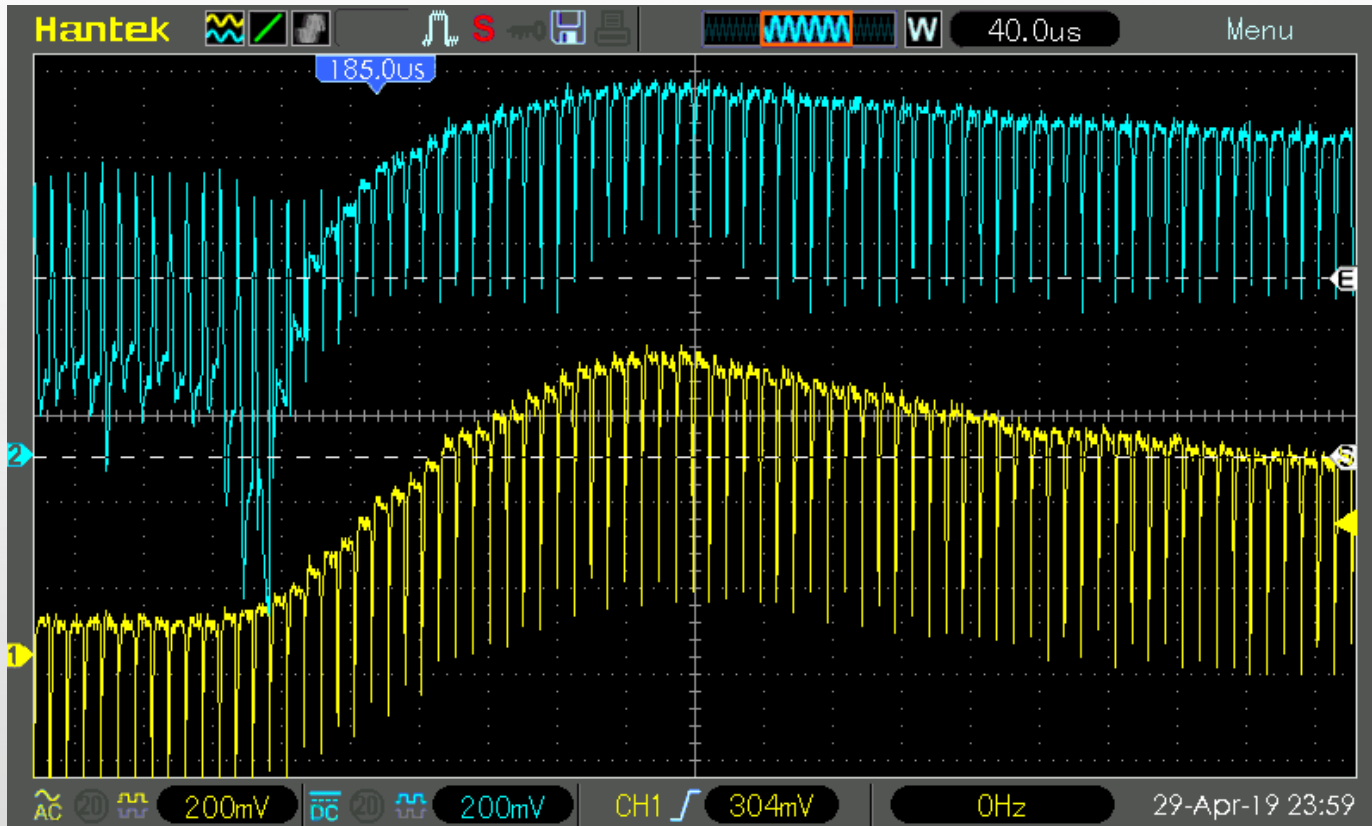




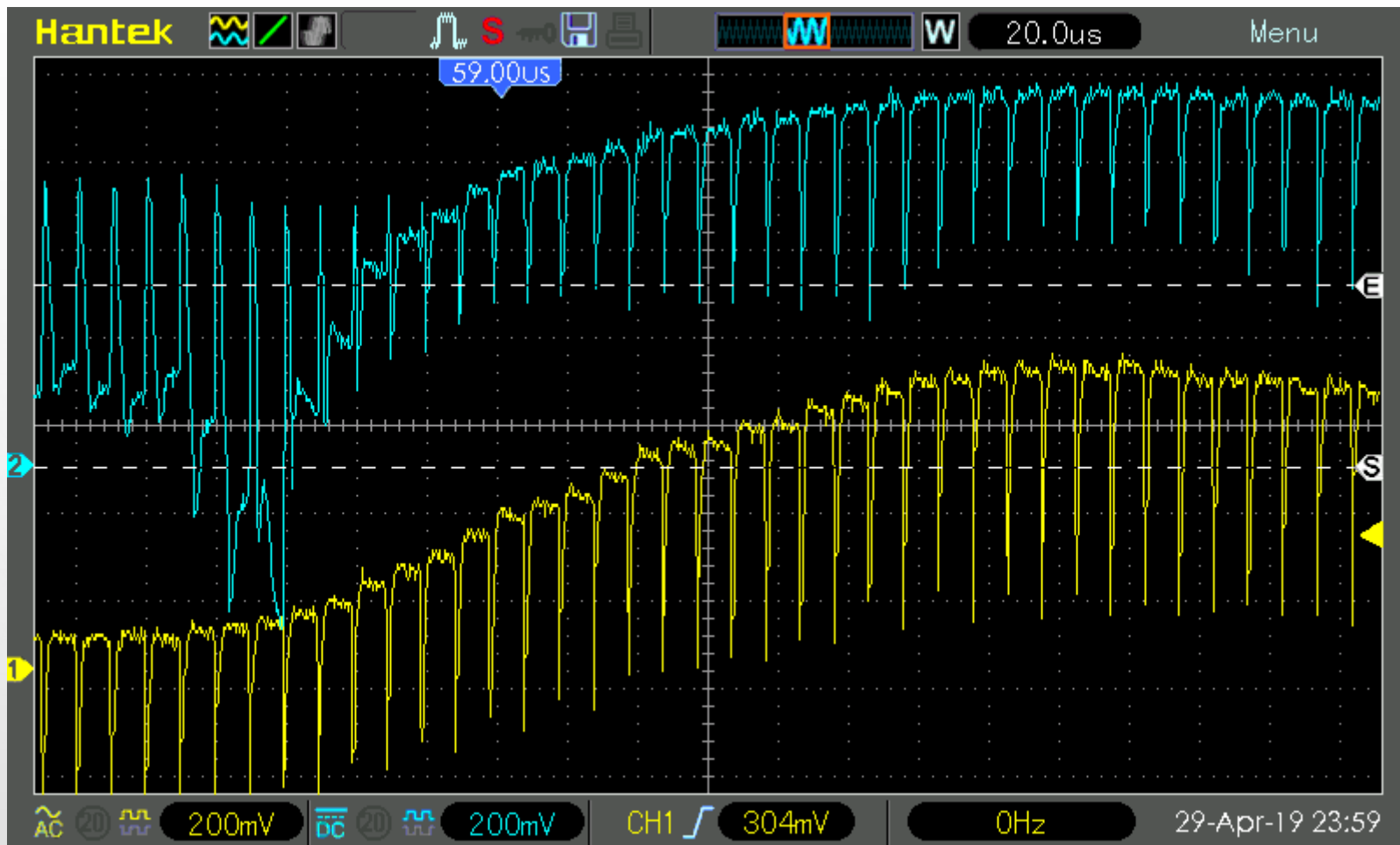


Navzorkovaný průběh

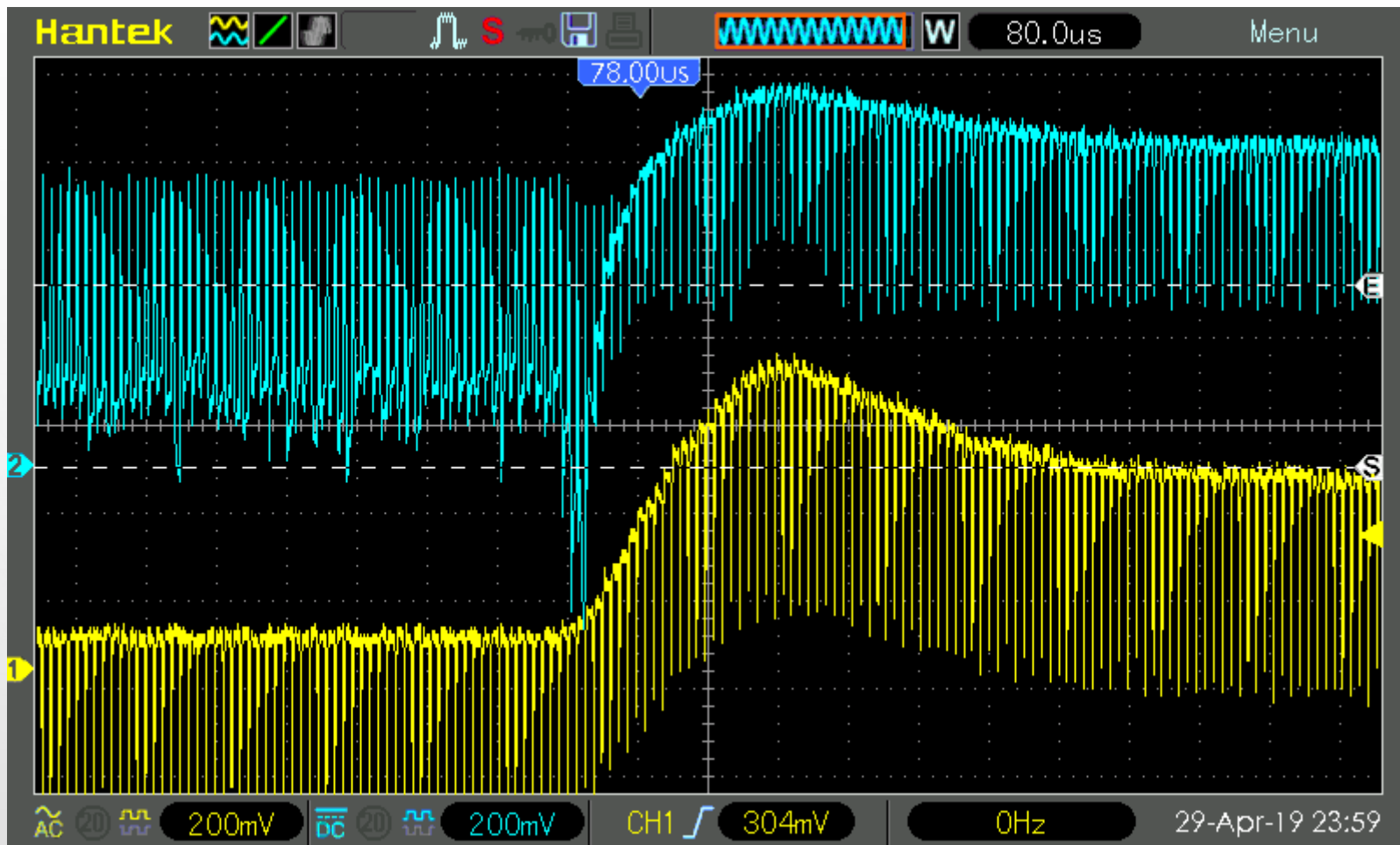
- Vzorkování po 25 ps, žlutá stopa je lineární navzorkovaný signál, modrá stopa je logaritmus navzorkovaného signálu. Špičky jsou mezi vzorky. Jedná se o vzorek náběžné hrany s připojeným terminátorem. Logaritmus nemá ještě zkalibrovanou nulu.



Navzorkovaný průběh



Navzorkovaný průběh



Navzorkovaný průběh

- Vzorkování po 25 ps, žlutá stopa je lineární navzorkovaný signál, modrá stopa je logaritmus navzorkovaného signálu. Špičky jsou mezi vzorky. Jedná se o vzorek náběžné hrany s připojeným kalibračním zkratem. Logaritmus nemá ještě zkalibrovanou nulu.



Navzorkovaný průběh

