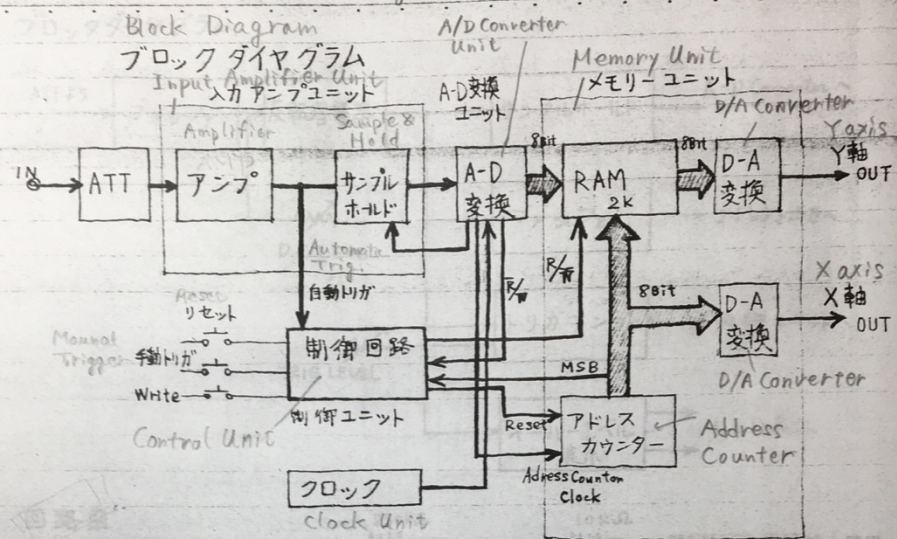


# WAVE MEMORY

ウェーブメモリ

1979. Mitsuru Yamada

## Configuration



## Specification

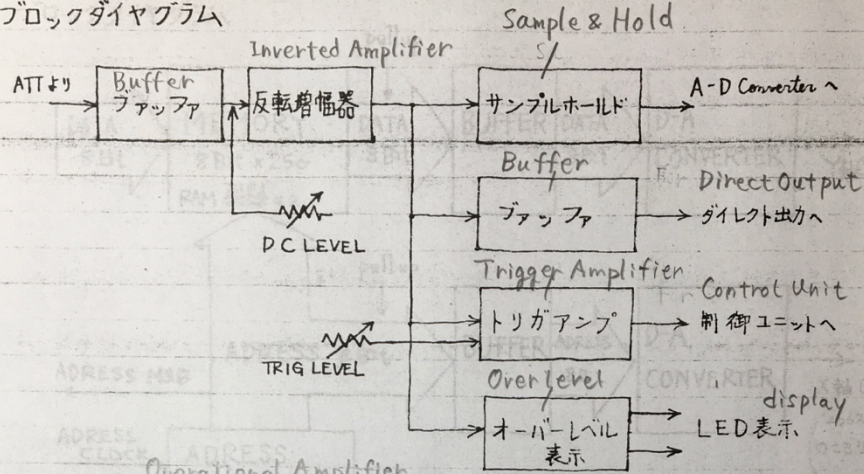
仕様

- 記憶容量 8Bit X 256 word Memory capacity
- 記憶素子 256Bit X 4 RAM X 2 Memory device
- <電圧軸 (Y軸)> Y. axis Full scale
- 感度 100mV ~ 50V (フルスケール) (1-2-5ステップ)
- 周波数帯域幅 : DC ~ 5KHz Frequency Range
- 入力抵抗 : 1MΩ Input impedance
- <A-D変換器> AD Converter S. A. R.
- 変換方式 : 逐次比較型 Conversion type
- 分解能 : 8Bit Resolution
- 最高変換速度 : 20μS/word Maximum Conversion Speed
- スケールオーバー : LED表示 ← Over-Scale
- <時間軸 (X軸)> X. axis speed Full scale
- 書き込み (読み出し) 速度 : 5mS ~ 20S (フルスケール) (1-2-5ステップ)
- トリガ : 手動及び自動 (内部) Manual & Automatic
- <出力電圧> Y Axis Y軸 : フルスケール 5V Full Scale
- X Axis X軸 : フルスケール 5V Full Scale

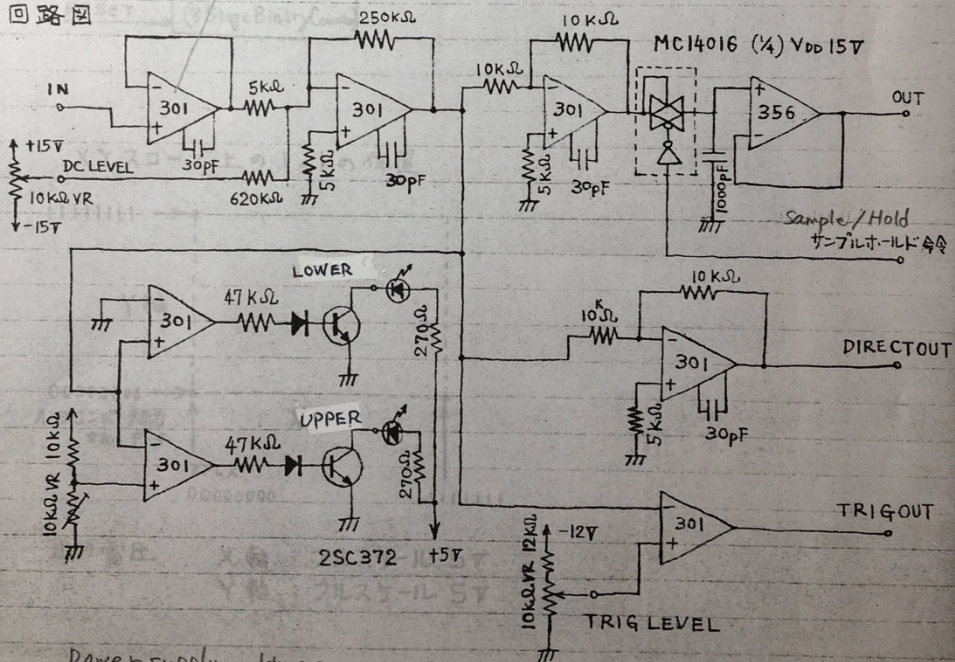
Mitsuru Yamada

# Input Amplifier Unit Schematic 入カアンプユニット

ブロックダイアグラム



回路図



Power supply voltage  
各ICの電源は±15V

Mitsuru Yamada 2/10

# AD conversion Unit Schematic

## A-D 変換ユニット

S.A.R. type

8Bit A/D Converter

逐次比較型

input NO.

output

入力 0V ... 出力 0000000b

5V ... 1111111b

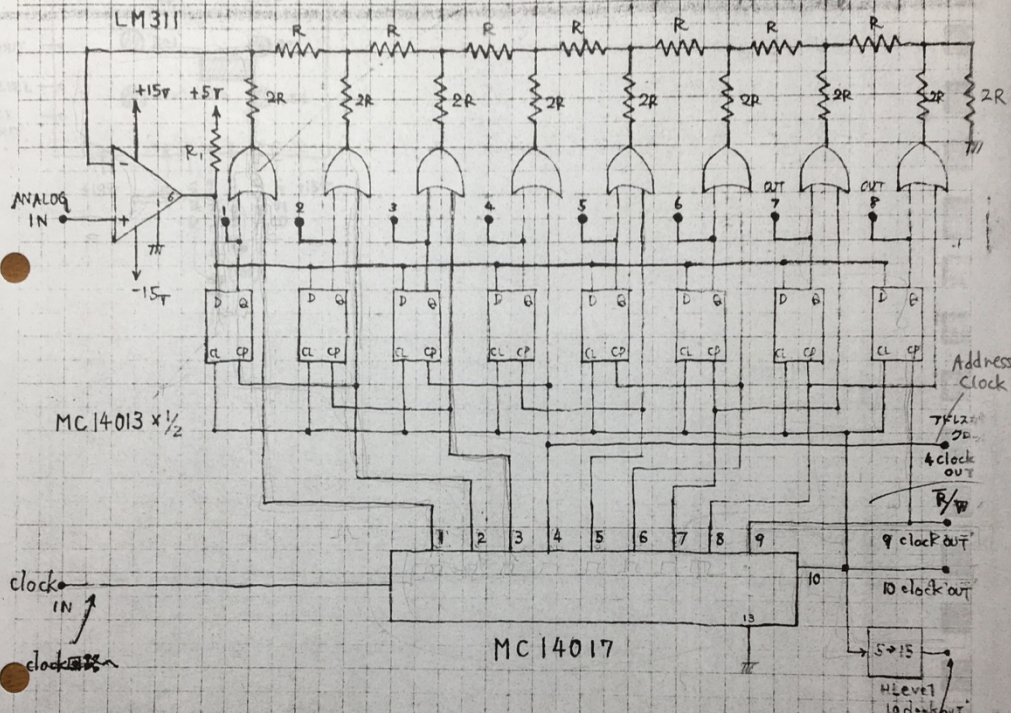
Resolution 分解能 256段階 8Bit

Maximum conversion speed 最高変換速度 20μs

MC14071 × 1/4 必要クロック 10パルス

10 pulses required

回路図



コネクタ

1	GND	12	+5V
2	GND	13	+15V
3	OUT 1. MSB	14	-15V
4	OUT 2.	15	9 clock OUT
5	OUT 3.	16	clock IN
6	OUT 4.	17	10 clock OUT
7	OUT 5.	18	4 clock OUT
8	OUT 6.	19	10 clock OUT (H level)
9	OUT 7.	20	Address IN
10	OUT 8. LSB	21	GND
11	+5V	22	GND

制御ユニット B/W IN ~  
 Address counter clock IN ~  
 To Sample & Hold

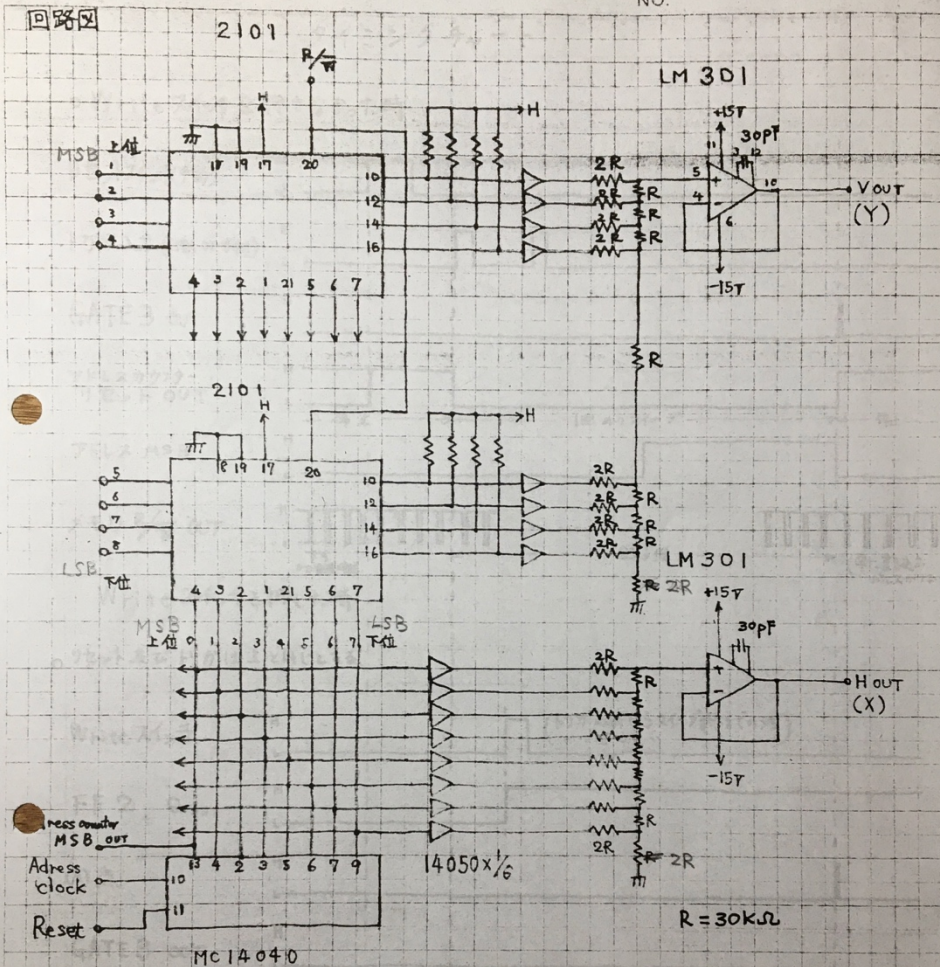
デコーダ出力 9 はメモリ書き込みに使用  
 デコーダ出力 10 はサンプルホールドのサンプルタイムに使用

Decode output '9' is used to write memory  
 Decode output '10' is used to sampling of Sample & Hold.

# メモリーユニット Memory Unit Schematic

256x8Bit Memory

NO.



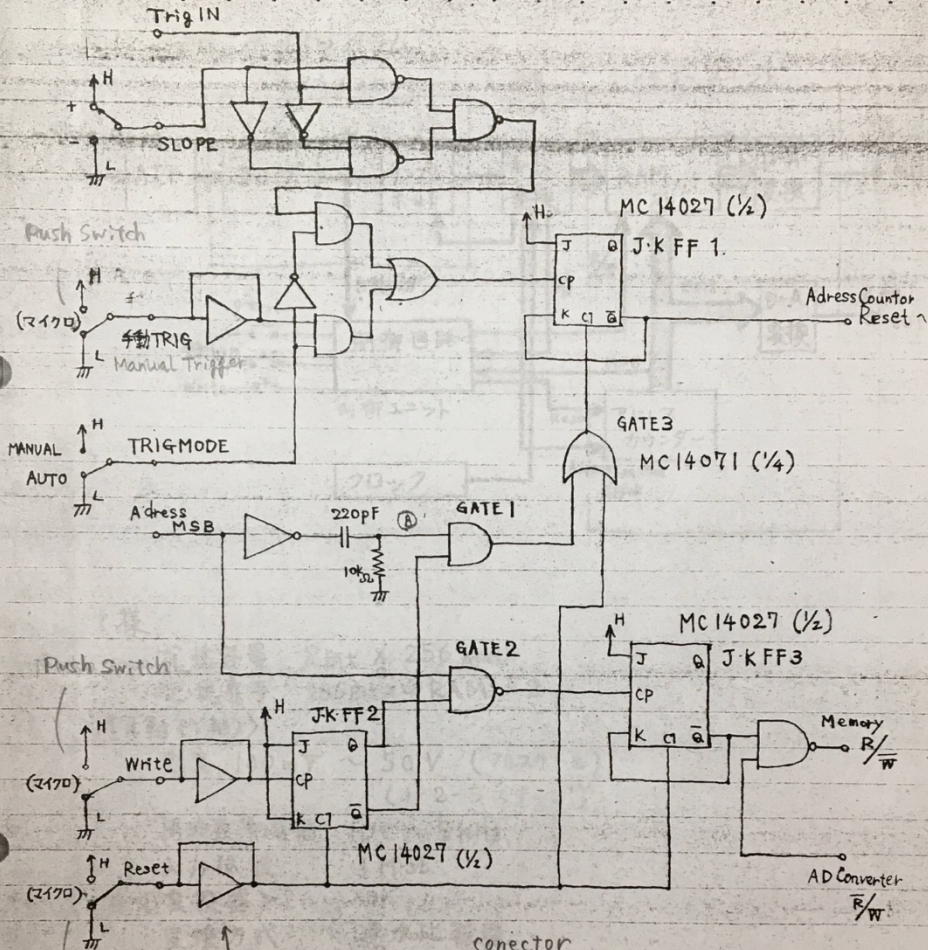
コネクタ

1	GND	12	+5V
2	GND	13	+15V
3	IN 1 上位	14	-15V
4	IN 2	15	$\frac{R}{2}$ IN
5	IN 3	16	Address Clock
6	IN 4	17	Reset
7	IN 5	18	Address counter MSB
8	IN 6	19	V OUT (Y)
9	IN 7	20	H OUT (X)
10	IN 8 下位	21	GND
11	+5V	22	GND

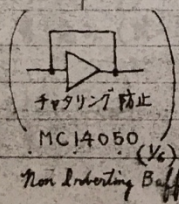
Mitsuru Yamada

4/10

# 制御回路 Control Unit Schematic



Push Switch  
Chattering canceller



conector  
コネクター

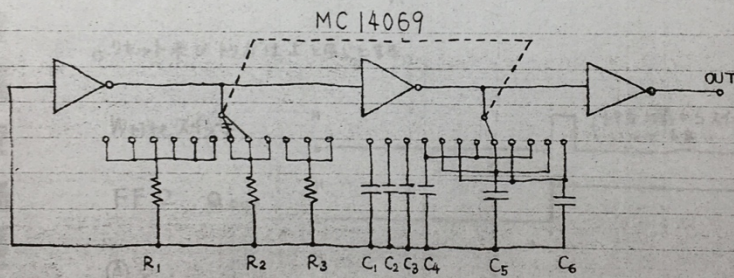
- |             |                |
|-------------|----------------|
| 1 GND       | 12 +5V         |
| 2 GND       | 13             |
| 3           | 14 Address MSB |
| 4           | 15 TRIG IN     |
| 5           | 16 MODE        |
| 6 R/W OUT   | 17 SLOPE       |
| 7 Reset OUT | 18 Write       |
| 8           | 19 Reset       |
| 9 R/W IN    | 20 手動 TRIG     |
| 10          | 21 GND         |
| 11 +5V      | 22 GND         |

# Clockユニット Clock Unit Schematic

512 kHz ~ 128 Hz 1-2-5 ステップ

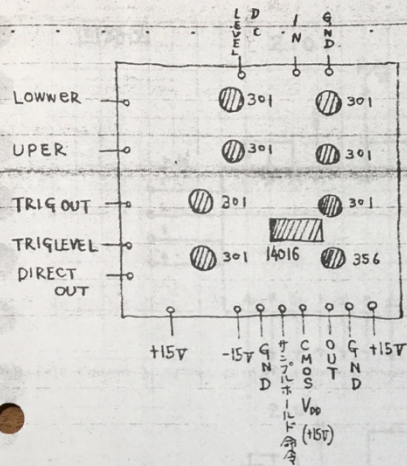
	Sweep time スイープ時間	Conversion time/dot (交換時間)   dot 解消時間	Clock
1	5 mS	19.5 μS	1.95 μS 512 kHz
2	10	39.1	256
3	20	78.1	128
4	50	195	dot time / 10 51.2
5	100	391	25.6
6	200	781	12.8
7	500	1.95 mS	5120 Hz
8	1 S	3.91	2560
9	2	7.81	1280
10	5	19.5	512
11	10	39.1	256
12	20	78.1	128

回路図



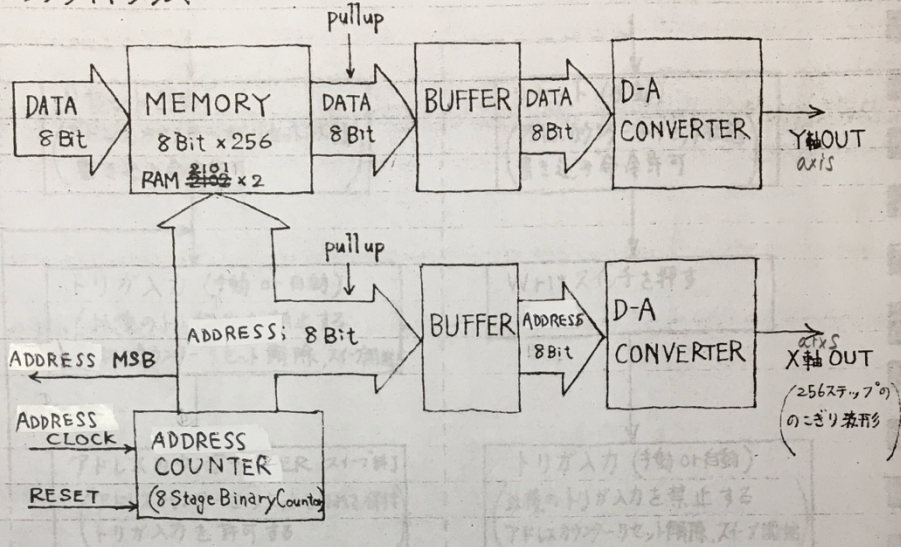
V<sub>DD</sub> 5V

# Input Amplifier Unit PCB

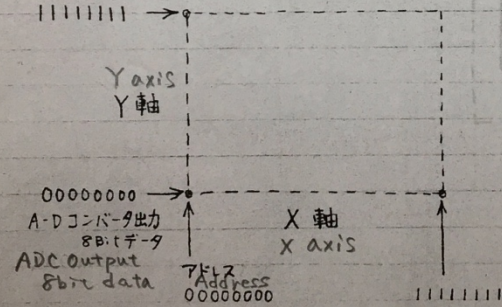


# Memory Unit Block diagram メモリーユニット

ブロックダイアグラム



Dot position on the XYscope  
XYスコープ上のドットの位置



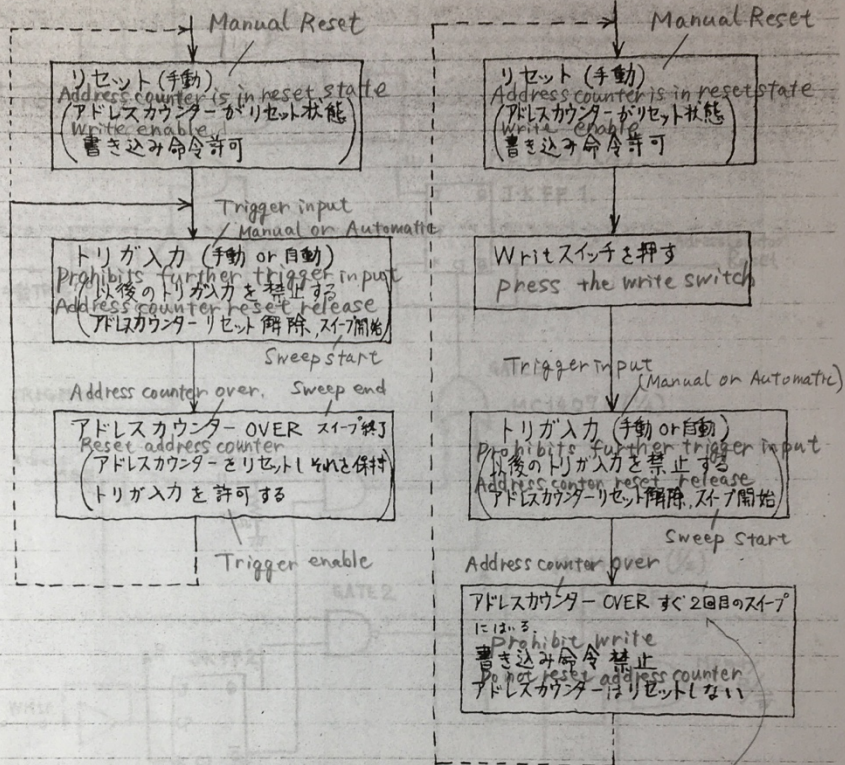
Output Voltage  
出力電圧

axis Full scale  
X軸: フルスケール 5V  
Y軸: フルスケール 5V  
axis (Full range)



# 制御回路 Control Unit Operation diagram

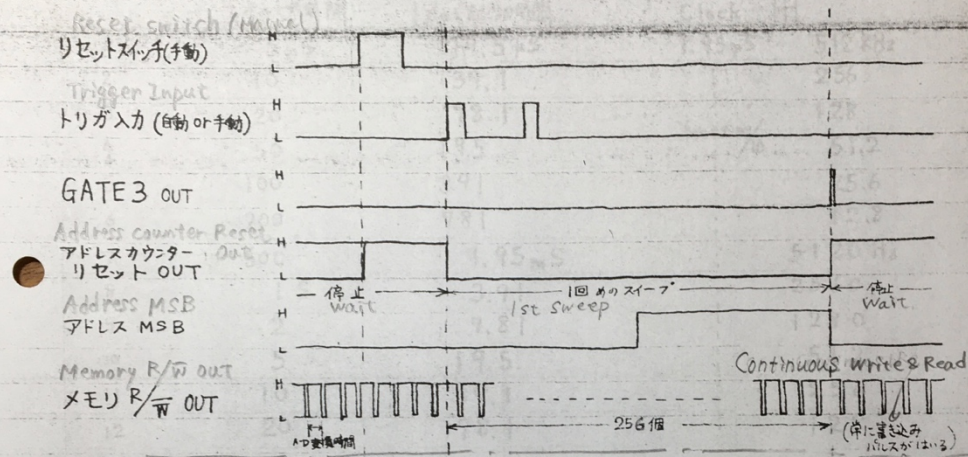
When the write switch is not pressed Writeスイッチを押さない場合  
 When the write switch is pressed Writeスイッチを押した場合



Immediately start the second sweep.

# Control Unit 制御回路 Timing chart タイミングチャート

When the write switch is not pressed  
Writeスイッチを押さなかった時



When the write switch is pressed  
Writeスイッチを押した時  
リセット及びトリガは上と同じとする

